

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

データドライバ C581

PUBLICATION NUMBER : 07191631
PUBLICATION DATE : 28-07-95

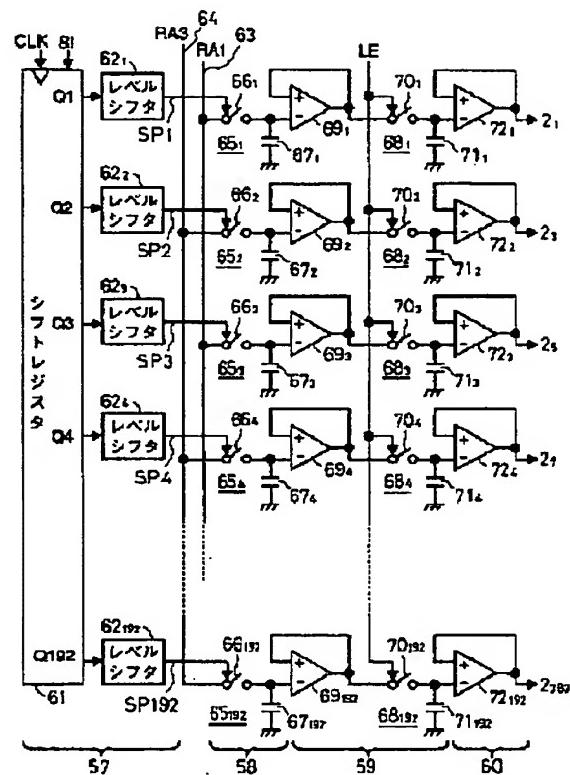
APPLICATION DATE : 27-12-93
APPLICATION NUMBER : 05329312

APPLICANT : FUJITSU LTD;

INVENTOR : ISOGAI HIROYUKI;

INT.CL. : G09G 3/36 G02F 1/133 G09G 3/20

**TITLE : ACTIVE MATRIX TYPE CAPACITIVE
DISPLAY DEVICE AND INTEGRATED
CIRCUIT FOR DRIVING DATA LINE**



ABSTRACT : PURPOSE: To make a high-definition display without greatly reducing nondisplay periods even when data lines are driven in parallel by dividing an analog video signal as to the active matrix type capacitive display device, e.g. an active matrix type liquid crystal display device.

CONSTITUTION: Divided red analog video signals RA1 and RA3 which are shifted in phase by a half cycle are generated; and the divided red analog video signal RA1 is passed through a divided red analog video signal line 63, and sampled and held by sample holding circuits 65₁, 65₃..., and the divided red analog video signal RA3 is passed through a divided red analog video signal line 64, and sampled and held by sample holding circuits 65₂, 65₄....

COPYRIGHT: (C)1995,JPO

This Page Blank (uspto)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-191631

(43)公開日 平成7年(1995)7月28日

(51)Int.Cl. ⁶ G 0 9 G 3/36 G 0 2 F 1/133 G 0 9 G 3/20	識別記号 庁内整理番号 5 5 0 K 9378-5G	F I	技術表示箇所
---	-----------------------------------	-----	--------

審査請求 未請求 請求項の数20 O L (全 52 頁)

(21)出願番号 特願平5-329312	(71)出願人 000005223 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
(22)出願日 平成5年(1993)12月27日	(72)発明者 磯貝 博之 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

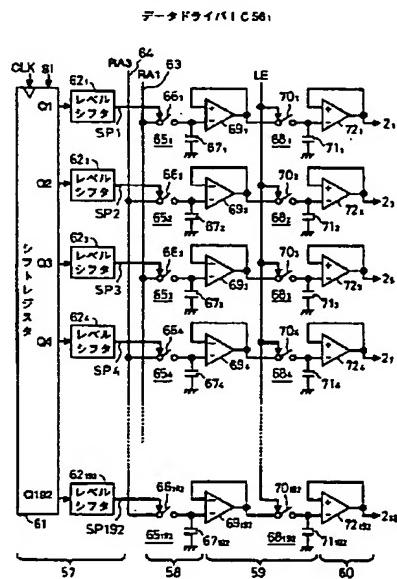
(74)代理人 弁理士 平戸 哲夫

(54)【発明の名称】 アクティブマトリクス型容量性表示装置及びデータ線駆動用集積回路

(57)【要約】

【目的】アクティブマトリクス型容量性表示装置、例えば、アクティブマトリクス型液晶表示装置に関し、アナログ映像信号を分割して、データ線の並列駆動を行う場合であっても、非表示期間を大幅に減らすことはなく、高精細な表示を行う。

【構成】位相を1/2周期ずらした分割赤色アナログ映像信号RA1、RA3を作成し、分割赤色アナログ映像信号RA1は分割赤色アナログ映像信号線63を介してサンプルホールド回路651、653、…でサンプルホールドし、分割赤色アナログ映像信号RA3は分割赤色アナログ映像信号線64を介してサンプルホールド回路652、654、…でサンプルホールドする。



1

2

【特許請求の範囲】

【請求項1】データ電圧を供給するための複数のデータ線($31_1, 31_2, \dots, 31_{2n}$)と、ゲート電圧を供給するための複数のゲート線とをマトリクス状に配線し、前記データ線($31_1, 31_2, \dots, 31_{2n}$)と前記ゲート線とが交差する部分ごとに、画素電極と、一端を前記データ線に接続され、他端を前記画素電極に接続され、前記ゲート電圧によって導通、非導通が制御されるスイッチング素子とを形成してなる第1の基板と、全画素に共通に使用される共通電極を形成してなる第2の基板とを対向させ、これら第1の基板と第2の基板との間に、印加される電圧の大小によって所定の光学的性質を変化させる容量性材料を封止し、奇数番目のデータ線($31_1, 31_3, \dots, 31_{2n-1}$)には一方の端部側からデータ電圧が供給され、偶数番目のデータ線($31_2, 31_4, \dots, 31_{2n}$)には他方の端部側からデータ電圧が供給される単色用のアクティブマトリクス型容量性表示パネル(30)と。

アナログ映像信号(A)を1水平ラインごとに1番目、 $2n+1$ 番目、 $2 \times 2n+1$ 番目・・・の画素(但し、 $n=2$ 以上の整数)のアナログ映像信号からなる第1の分割アナログ映像信号(A1)と、2番目、 $2n+2$ 番目、 $2 \times 2n+2$ 番目・・・の画素のアナログ映像信号からなる第2の分割アナログ映像信号(A2)と、3番目、 $2n+3$ 番目、 $2 \times 2n+3$ 番目・・・の画素のアナログ映像信号からなる第3の分割アナログ映像信号(A3)と、4番目、 $2n+4$ 番目、 $2 \times 2n+4$ 番目・・・の画素のアナログ映像信号からなる第4の分割アナログ映像信号(A4)と、・・・、 $2n-1$ 番目、 $2n+2n-1$ 番目、 $2 \times 2n+2n-1$ 番目・・・の画素のアナログ映像信号からなる第 $2n-1$ の分割アナログ映像信号(A $2n-1$)と、 $2n$ 番目、 $2n+2n$ 番目、 $2 \times 2n+2n$ 番目・・・の画素のアナログ映像信号からなる第 $2n$ の分割アナログ映像信号(A $2n$)とに分割し、前記第1、第3・・・第 $2n-1$ の分割アナログ映像信号(A1、A3・・・A $2n-1$)を $1/n$ 周期ずつ位相をずらして出力すると共に、前記第2、第4・・・第 $2n$ の分割アナログ映像信号(A2、A4・・・A $2n$)を、前記第2の分割アナログ映像信号(A2)の位相と前記第1の分割アナログ映像信号(A1)の位相とが一致するようにして、 $1/n$ 周期ずつ位相をずらして出力する分割アナログ映像信号作成回路(32)と。

前記第1、第3・・・第 $2n-1$ の分割アナログ映像信号(A1、A3・・・A $2n-1$)を入力し、奇数番目の画素のアナログ映像信号を1番目の画素のアナログ映像信号から順にサンプルホールドした後、このサンプルホールド動作によってホールドされた奇数番目の画素ごとのアナログ映像信号電圧のそれぞれを同時にサンプルホールドし、このサンプルホールド動作によってホール

ドされた奇数番目の画素ごとのアナログ映像信号電圧をデータ電圧として同時に前記奇数番目のデータ線($31_1, 31_3, \dots, 31_{2n-1}$)に出力する第1のデータ線駆動回路(33)と、前記第2、第4・・・第 $2n$ の分割アナログ映像信号(A2、A4・・・A $2n$)を入力し、偶数番目の画素のアナログ映像信号を1番目の画素のアナログ映像信号から順にサンプルホールドした後、このサンプルホールド動作によってホールドされた偶数番目の画素ごとのアナログ映像信号電圧のそれぞれを同時にサンプルホールドし、このサンプルホールド動作によってホールドされた偶数番目の画素ごとのアナログ映像信号電圧をデータ電圧として同時に前記偶数番目のデータ線($31_2, 31_4, \dots, 31_{2n}$)に出力する第2のデータ線駆動回路(34)とからなる部分を有して構成されていることを特徴とするアクティブマトリクス型容量性表示装置。

【請求項2】前記分割アナログ映像信号作成回路(32)は、

前記アナログ映像信号(A)をデジタル映像信号に変換するアナログ/デジタル変換回路と、前記デジタル映像信号を水平ライン上、1番目、3番目・・・の画素のデジタル映像信号からなる第1の分割デジタル映像信号と、水平ライン上、第2番目、4番目・・・の画素のデジタル映像信号からなる第2の分割デジタル映像信号とに分割し、これら第1、第2の分割デジタル映像信号を同一位相で出力する第1の分割回路と、前記第1の分割デジタル映像信号を水平ライン上、1番目、 $2n+1$ 番目、 $2 \times 2n+1$ 番目・・・の画素のデジタル映像信号からなる第3の分割デジタル映像信号と、水平ライン上、3番目、 $2n+3$ 番目、 $2 \times 2n+3$ 番目・・・の画素のデジタル映像信号からなる第4の分割デジタル映像信号と、・・・、水平ライン上、 $2n-1$ 番目、 $2n+2n-1$ 番目、 $2 \times 2n+2n-1$ 番目・・・の画素のデジタル映像信号からなる第 $n+2$ の分割デジタル映像信号とに分割し、これら第3、第4・・・第 $n+2$ の分割デジタル映像信号を同一位相で出力する第2の分割回路と、

前記第3、第4・・・第 $n+2$ の分割デジタル映像信号が $1/n$ 周期ずつ位相をずらすように、前記第4・・・第 $n+2$ の分割デジタル映像信号を遅延させる第1の遅延回路と、前記第2の分割デジタル映像信号を水平ライン上、2番目、 $2n+2$ 番目、 $2 \times 2n+2$ 番目・・・の画素のデジタル映像信号からなる第 $n+3$ の分割デジタル映像信号と、水平ライン上、4番目、 $2n+4$ 番目、 $2 \times 2n+4$ 番目・・・の画素のデジタル映像信号からなる第 $n+4$ の分割デジタル映像信号と、・・・、水平ライン上、 $2n$ 番目、 $2n+2n$ 番目、 $2 \times 2n+2n$ 番目・・・の画素のデジタル映像信号からなる第 $2n+3$ の分割デジタル映像信号とに分割し、これら第 $n+3$ 、第 n

50

3

+ 4 . . . 第 2 n + 2 の分割デジタル映像信号を同一位相で出力する第 3 の分割回路と、

前記第 n + 3 、第 n + 4 . . . 第 2 n + 2 の分割デジタル映像信号が 1/n 周期ずつ位相をずらすように、前記第 n + 4 . . . 第 2 n + 2 の分割デジタル映像信号を遅延させる第 2 の遅延回路と、

前記第 2 の分割回路から出力される前記第 3 の分割デジタル映像信号、前記第 1 の遅延回路から出力される前記第 4 . . . 第 n + 2 の分割デジタル映像信号、前記第 3 の分割回路から出力される前記第 n + 3 の分割デジタル映像信号、前記第 2 の遅延回路から出力される第 n + 4 . . . 第 2 n + 2 の分割デジタル映像信号を前記第 1 、第 3 . . . 第 2 n - 1 、第 2 、第 4 . . . 第 2 n の分割アナログ映像信号にアナログ変換するデジタル／アナログ変換回路とを設けて構成されていることを特徴とする請求項 1 記載のアクティブマトリクス型容量性表示装置。

【請求項 3】前記第 1 のデータ線駆動回路（33）は、所定のクロックパルスの周期の n 倍のパルス幅を有する第 1 、第 2 . . . 第 m のサンプリングパルスを前記所定のクロックパルスに同期させて順に出力する第 1 のサンプリングパルス発生回路と、

前記第 1 、第 3 . . . 第 2 n - 1 の分割アナログ映像信号（A1 、 A3 . . . A2 n - 1 ）を伝送する第 1 、第 2 . . . 第 n の分割アナログ映像信号線と、

前記第 1 の分割アナログ映像信号線が接続された第 1 、第 n + 1 、第 2 n + 1 . . . 第 m - n + 1 のサンプルホールド回路、前記第 2 の分割アナログ映像信号線が接続された第 2 、第 n + 2 、第 2 n + 2 . . . 第 m - n + 2 のサンプルホールド回路、. 、前記第 n の分割アナログ映像信号線が接続された第 n 、第 n + n 、第 2 n + n . . . 第 m のサンプルホールド回路からなる第 1 のサンプルホールド回路群と、

前記第 1 、第 2 . . . 第 m のサンプルホールド回路がサンプルホールドした分割アナログ映像信号電圧のそれを同時にサンプルホールドする第 m + 1 、第 m + 2 . . . 第 2 m のサンプルホールド回路からなる第 2 のサンプルホールド回路群と、

前記第 m + 1 、第 m + 2 . . . 第 2 m のサンプルホールド回路にホールドされた分割アナログ映像信号電圧を前記奇数番目のデータ線（311 、 312 . . . 312n-1 ）に供給する第 1 、第 2 . . . 第 m の出力バッファ回路からなる出力バッファ回路群とを設けて構成され、

前記第 2 のデータ線駆動回路（34）は、

前記所定のクロックパルスの周期の n 倍のパルス幅を有する第 m + 1 、第 m + 2 . . . 第 2 m のサンプリングパルスを前記所定のクロックパルスに同期させて順に出力する第 2 のサンプリングパルス発生回路と、

前記第 2 、第 4 . . . 第 2 n の分割アナログ映像信号（A2 、 A4 . . . A2 n ）を伝送する第 n + 1 、第 n

+ 2 . . . 第 2 n の分割アナログ映像信号線と、前記第 n + 1 の分割アナログ映像信号線が接続された第 2 m + 1 、第 2 m + n + 1 、第 2 m + 2 n + 1 . . . 第 3 m - n + 1 のサンプルホールド回路、前記第 2 の分割アナログ映像信号線が接続された第 2 m + 2 、第 2 m + n + 2 、第 2 m + 2 n + 2 . . . 第 3 m - n + 2 のサンプルホールド回路、. 、前記第 2 n の分割アナログ映像信号線が接続された第 2 m + n 、第 2 m + n + n 、第 2 m + 2 n + n . . . 第 3 m のサンプルホールド回路からなる第 3 のサンプルホールド回路群と、

前記第 2 m + 1 、第 2 m + 2 . . . 第 3 m のサンプルホールド回路がサンプルホールドした分割アナログ映像信号電圧のそれを同時にサンプルホールドする第 3 m + 1 、第 3 m + 2 . . . 第 4 m のサンプルホールド回路からなる第 4 のサンプルホールド回路群と、

前記第 3 m + 1 、第 3 m + 2 . . . 第 4 m のサンプルホールド回路にホールドされた分割アナログ映像信号電圧を前記偶数番目のデータ線（312 、 314 . . . 312n ）に供給する第 m + 1 、第 m + 2 . . . 第 2 m の出力バッファ回路からなる出力バッファ回路群とを設けて構成されていることを特徴とする請求項 1 又は 2 記載のアクティブマトリクス型容量性表示装置。

【請求項 4】前記第 1 、第 2 . . . 第 n の分割アナログ映像信号線は、それぞれ 2 本の信号線からなり、前記第 1 の分割アナログ映像信号線を構成する一方の信号線は、前記第 1 、第 2 n + 1 、第 2 × 2 n + 1 . . . のサンプルホールド回路に接続され、前記第 1 の分割アナログ映像信号線を構成する他方の信号線は、前記第 n + 1 、第 2 n + n + 1 、第 2 × 2 n + n + 1 . . . のサンプルホールド回路に接続され、前記第 2 の分割アナログ映像信号線を構成する一方の信号線は、前記第 2 、第 2 n + 2 、第 2 × 2 n + 2 . . . のサンプルホールド回路に接続され、前記第 2 の分割アナログ映像信号線を構成する他方の信号線は、前記第 n + 2 、第 2 n + n + 2 、第 2 × 2 n + n + 2 . . . のサンプルホールド回路に接続され、. 、前記第 n の分割アナログ映像信号線を構成する一方の信号線は、前記第 n 、第 2 n + n 、第 2 × 2 n + n . . . のサンプルホールド回路に接続され、前記第 n の分割アナログ映像信号線を構成する他方の信号線は、前記第 2 n 、第 2 n + 2 n 、第 2 × 2 n + 2 n . . . のサンプルホールド回路に接続されていることを特徴とする請求項 3 記載のアクティブマトリクス型容量性表示装置。

【請求項 5】データ電圧を供給するための複数のデータ線（361 、 371 、 381 、 362 、 372 、 382 . . . 36n 、 37n 、 38n ）と、ゲート電圧を供給するための複数のゲート線とをマトリクス状に配線し、前記データ線（361 、 371 、 381 、 362 、 372 、 382 . . . 36n 、 37n 、 38n ）と前記ゲート線とが交差する部分ごとに、画素電極と、一端を前記データ線に接

続され、他端を前記画素電極に接続され、前記ゲート電圧によって導通、非導通が制御されるスイッチング素子とを形成してなる第1の基板と、全画素に共通に使用される共通電極を形成してなる第2の基板とを対向させ、これら第1の基板と第2の基板との間に、印加される電圧の大小によって所定の光学的性質を変化させる容量性材料を封止し、奇数番目のドットにデータ電圧を供給するデータ線(36₁、37₁、38₁、36₃、37₃、38₃、…、36_{2n-1}、37_{2n-1}、38_{2n-1})には一方の端部側からデータ電圧が供給され、偶数番目のドットにデータ電圧を供給するデータ線(36₂、37₂、38₂、36₄、37₄、38₄、…、36_{2n}、37_{2n}、38_{2n})には他方の端部側からデータ電圧が供給されるカラー表示用のアクティブマトリクス型容量性表示パネル(35)と、

赤色アナログ映像信号(RA)を1水平ラインごとに1番目、2n+1番目、2×2n+1番目…のドット(但し、n=2以上の整数)の赤色アナログ映像信号からなる第1の分割赤色アナログ映像信号(RA1)と、2番目、2n+2番目、2×2n+2番目…のドットの赤色アナログ映像信号からなる第2の分割赤色アナログ映像信号(RA2)と、3番目、2n+3番目、2×2n+3番目…のドットの赤色アナログ映像信号からなる第3の分割赤色アナログ映像信号(RA3)と、4番目、2n+4番目、2×2n+4番目…のドットの赤色アナログ映像信号からなる第4の分割赤色アナログ映像信号(RA4)と、…、2n-1番目、2n+2n-1番目、2×2n+2n-1番目…のドットの赤色アナログ映像信号からなる第2n-1の分割赤色アナログ映像信号(RA2n-1)と、2n番目、2n+2n番目、2×2n+2n番目…のドットの赤色アナログ映像信号からなる第2nの分割赤色アナログ映像信号(RA2n)とに分割し、前記第1、第3…、第2n-1の分割赤色アナログ映像信号(RA1、RA3…、RA2n-1)を1/n周期ずつ位相をずらして出力すると共に、前記第2、第4…、第2nの分割赤色アナログ映像信号(RA2、RA4…、RA2n)を、前記第2の分割赤色アナログ映像信号(RA2)の位相と前記第1の分割赤色アナログ映像信号(RA1)の位相とが一致するようにして、1/n周期ずつ位相をずらして出力する分割赤色アナログ映像信号作成回路(39)と、

緑色アナログ映像信号(GA)を1水平ラインごとに1番目、2n+1番目、2×2n+1番目…のドットの緑色アナログ映像信号からなる第1の分割緑色アナログ映像信号(GA1)と、2番目、2n+2番目、2×2n+2番目…のドットの緑色アナログ映像信号からなる第2の分割緑色アナログ映像信号(GA2)と、3番目、2n+3番目、2×2n+3番目…のドットの緑色アナログ映像信号からなる第3の分割緑色アナ

ログ映像信号(GA3)と、4番目、2n+4番目、2×2n+4番目…のドットの緑色アナログ映像信号からなる第4の分割緑色アナログ映像信号(GA4)と、…、2n-1番目、2n+2n-1番目、2×2n+2n-1番目…のドットの緑色アナログ映像信号からなる第2n-1の分割緑色アナログ映像信号(GA2n-1)と、2n番目、2n+2n番目…のドットの緑色アナログ映像信号からなる第2nの分割緑色アナログ映像信号(GA2n)とに分割し、前記第1、第3…、第2n-1の分割緑色アナログ映像信号(GA1、GA3…、GA2n-1)を1/n周期ずつ位相をずらして出力すると共に、前記第2、第4…、第2nの分割緑色アナログ映像信号(GA2、GA4…、GA2n)を、前記第2の分割緑色アナログ映像信号(GA2)の位相と前記第1の分割アナログ映像信号(GA1)の位相とが一致するようにして、1/n周期ずつ位相をずらして出力する分割緑色アナログ映像信号作成回路(40)と、

青色アナログ映像信号(BA)を1水平ラインごとに1番目、2n+1番目、2×2n+1番目…のドットの青色アナログ映像信号からなる第1の分割青色アナログ映像信号(BA1)と、2番目、2n+2番目、2×2n+2番目…のドットの青色アナログ映像信号からなる第2の分割青色アナログ映像信号(BA2)と、3番目、2n+3番目、2×2n+3番目…のドットの青色アナログ映像信号からなる第3の分割青色アナログ映像信号(BA3)と、4番目、2n+4番目、2×2n+4番目…のドットの青色アナログ映像信号からなる第4の分割青色アナログ映像信号(BA4)と、…、2n-1番目、2n+2n-1番目、2×2n+2n-1番目…のドットの青色アナログ映像信号からなる第2n-1の分割青色アナログ映像信号(BA2n-1)と、2n番目、2n+2n番目、2×2n+2n番目…のドットの青色アナログ映像信号からなる第2nの分割青色アナログ映像信号(BA2n)とに分割し、前記第1、第3…、第2n-1の分割青色アナログ映像信号(BA1、BA3…、BA2n-1)を1/n周期ずつ位相をずらして出力すると共に、前記第2、第4…、第2nの分割青色アナログ映像信号(BA2、BA4…、BA2n)を、前記第2の分割青色アナログ映像信号(BA2)の位相と前記第1の分割青色アナログ映像信号(BA1)の位相とが一致するようにして、1/n周期ずつ位相をずらして出力する分割青色アナログ映像信号作成回路(41)と、前記第1、第3…、第2n-1の分割赤色アナログ映像信号(RA1、RA3…、RA2n-1)、前記第1、第3…、第2n-1の分割緑色アナログ映像信号(GA1、GA3…、GA2n-1)及び前記第1、第3…、第2n-1の分割青色アナログ映像信号(BA1、BA3…、BA2n-1)を入力し、奇数番目

7

のドットの赤色アナログ映像信号、緑色アナログ映像信号及び青色アナログ映像信号を1番目のドットの赤色アナログ映像信号、緑色アナログ映像信号及び青色アナログ映像信号から順にサンプルホールドした後、このサンプルホールド動作によってホールドされた奇数番目のドットごとの赤色アナログ映像信号電圧、緑色アナログ映像信号電圧及び青色アナログ映像信号電圧のそれぞれを同時にサンプルホールドし、このサンプルホールド動作によってホールドされた奇数番目のドットごとの赤色アナログ映像信号電圧、緑色アナログ映像信号及び青色アナログ映像信号電圧をデータ電圧として同時に前記奇数番目のドットにデータ電圧を供給するデータ線（3₁、3₇、3₈、3₆、3₇、3₈、…、3₆₁、3₇₁、3₈₁）に出力する第1のデータ線駆動回路（4₂）と、前記第2、第4…、第2nの分割赤色アナログ映像信号（RA₂、RA₄…、RA_{2n}）、前記第2、第4…、第2nの分割緑色アナログ映像信号（GA₂、GA₄…、GA_{2n}）及び前記第2、第4…、第2nの分割青色アナログ映像信号（BA₂、BA₄…、BA_{2n}）を入力し、偶数番目のドットの赤色アナログ映像信号、緑色アナログ映像信号及び青色アナログ映像信号を1番目のドットの赤色アナログ映像信号、緑色アナログ映像信号及び青色アナログ映像信号から順にサンプルホールドした後、このサンプルホールド動作によってホールドされた偶数番目のドットごとの赤色アナログ映像信号電圧、緑色アナログ映像信号電圧及び青色アナログ映像信号電圧のそれぞれを同時にサンプルホールドし、このサンプルホールド動作によってホールドされた偶数番目のドットごとの赤色アナログ映像信号電圧、緑色アナログ映像信号及び青色アナログ映像信号電圧をデータ電圧として同時に前記偶数番目のドットにデータ電圧を供給するデータ線（3₆、3₇、3₈、3₆、3₇、3₈…、3₆₂、3₇₂、3₈₂）に出力する第2のデータ線駆動回路（4₃）とからなる部分を有して構成されていることを特徴とするアクティブマトリクス型容積性表示装置。

【請求項6】前記分割赤色アナログ映像信号作成回路（3₉）は、

前記赤色アナログ映像信号（RA）を赤色デジタル映像信号に変換する第1のアナログ/デジタル変換回路と、前記赤色デジタル映像信号を水平ライン上、1番目、3番目…のドットの赤色デジタル映像信号からなる第1の分割赤色デジタル映像信号と、水平ライン上、2番目、4番目…のドットの赤色デジタル映像信号からなる第2の分割赤色デジタル映像信号とに分割し、これら第1、第2の分割赤色デジタル映像信号を同一位相で出力する第1の分割回路と、前記第1の分割赤色デジタル映像信号を水平ライン上、1番目、2n+1番目、2×2n+1番目…のドット

10

20

30

40

50

8

トの赤色デジタル映像信号からなる第3の分割赤色デジタル映像信号と、水平ライン上、3番目、2n+3番目、2×2n+3番目…の画素の赤色デジタル映像信号からなる第4の分割赤色デジタル映像信号と、…、水平ライン上、2n-1番目、2n+2n-1番目、2×2n+2n-1番目…のドットの赤色デジタル映像信号からなる第n+2の分割赤色デジタル映像信号とに分割し、これら第3、第4…、第n+2の分割赤色デジタル映像信号を同一位相で出力する第2の分割回路と、

前記第3、第4…、第n+2の分割赤色デジタル映像信号が1/n周期ずつ位相をずらすように、前記第4…、第n+2の分割赤色デジタル映像信号を遅延させる第1の遅延回路と、

前記第2の分割赤色デジタル映像信号を水平ライン上、2番目、2n+2番目、2×2n+2番目…のドットの赤色デジタル映像信号からなる第n+3の分割赤色デジタル映像信号と、水平ライン上、4番目、2n+4番目、2×2n+4番目…のドットの赤色デジタル映像信号からなる第n+4の分割赤色デジタル映像信号と、…、水平ライン上、2n番目、2n+2n番目、2×2n+2n番目…のドットの赤色デジタル映像信号からなる第2n+2の分割赤色デジタル映像信号とに分割し、これら第n+3、第n+4…、第2n+2の分割赤色デジタル映像信号を同一位相で出力する第3の分割回路と、

前記第n+3、第n+4…、第2n+2の分割赤色デジタル映像信号が1/n周期ずつ位相をずらすように、前記第n+4…、第2n+2の分割赤色デジタル映像信号を遅延させる第2の遅延回路と、

前記第2の分割回路から出力される前記第3の分割赤色デジタル映像信号、前記第1の遅延回路から出力される前記第4…、第n+2の分割赤色デジタル映像信号、前記第3の分割回路から出力される前記n+3の分割赤色デジタル映像信号、前記第2の遅延回路から出力される第n+4…、第2n+2の分割赤色デジタル映像信号を前記第1、第3…、第2n-1、第2、第4…、第2nの分割赤色アナログ映像信号（RA₁、RA₃…、RA_{2n-1}、RA₂、RA₄…、RA_{2n}）にアナログ変換する第1のデジタル/アナログ変換回路とを設けて構成され、

前記分割緑色アナログ映像信号作成回路（4₀）は、前記緑色アナログ映像信号（GA）を緑色デジタル映像信号に変換する第2のアナログ/デジタル変換回路と、前記緑色デジタル映像信号を水平ライン上、1番目、3番目…のドットの緑色デジタル映像信号からなる第1の分割緑色デジタル映像信号と、水平ライン上、2番目、4番目…のドットの緑色デジタル映像信号とに分割し、これら第1、第2の分割緑色デジタル映像信号を同一位相で

9

出力する第4の分割回路と、

前記第1の分割緑色デジタル映像信号を水平ライン上、
1番目、 $2n+1$ 番目、 $2 \times 2n+1$ 番目・・・のドットの緑色デジタル映像信号からなる第3の分割緑色デジタル映像信号と、水平ライン上、3番目、 $2n+3$ 番目、 $2 \times 2n+3$ 番目・・・の画素の緑色デジタル映像信号からなる第4の分割緑色デジタル映像信号と、・・・、水平ライン上、 $2n-1$ 番目、 $2n+2n-1$ 番目、 $2 \times 2n+2n-1$ 番目・・・のドットの緑色デジタル映像信号からなる第 $n+2$ の分割緑色デジタル映像信号とに分割し、これら第3、第4・・・第 $n+2$ の分割緑色デジタル映像信号を同一位相で出力する第5の分割回路と、

前記第3、第4・・・第 $n+2$ の分割緑色デジタル映像信号が $1/n$ 周期ずつ位相をずらすように、前記第4・・・第 $n+2$ の分割緑色デジタル映像信号を遅延させる第3の遅延回路と、

前記第2の分割緑色デジタル映像信号を水平ライン上、
2番目、 $2n+2$ 番目、 $2 \times 2n+2$ 番目・・・のドットの緑色デジタル映像信号からなる第 $n+3$ の分割緑色デジタル映像信号と、水平ライン上、4番目、 $2n+4$ 番目、 $2 \times 2n+4$ 番目・・・のドットの緑色デジタル映像信号からなる第 $n+4$ の分割緑色デジタル映像信号と、・・・、水平ライン上、 $2n$ 番目、 $2n+2n$ 番目、 $2 \times 2n+2n$ 番目・・・のドットの緑色デジタル映像信号からなる第 $2n+2$ の分割緑色デジタル映像信号とに分割し、これら第 $n+3$ 、第 $n+4$ ・・・第 $2n+2$ の分割緑色デジタル映像信号を同一位相で出力する第6の分割回路と、

前記第 $n+3$ 、第 $n+4$ ・・・第 $2n+2$ の分割緑色デジタル映像信号が $1/n$ 周期ずつ位相をずらすように、前記第 $n+4$ ・・・第 $2n+2$ の分割緑色デジタル映像信号を遅延させる第4の遅延回路と、

前記第5の分割回路から出力される前記第3の分割緑色デジタル映像信号、前記第3の遅延回路から出力される前記第4・・・第 $n+2$ の分割緑色デジタル映像信号、前記第6の分割回路から出力される前記第 $n+3$ の分割緑色デジタル映像信号、前記第4の遅延回路から出力される第 $n+4$ ・・・第 $2n+2$ の分割緑色デジタル映像信号を前記第1、第3・・・第 $2n-1$ 、第2、第4・・・第 $2n$ の分割緑色アナログ映像信号(GA1、GA3・・・GA $2n-1$ 、GA2、GA4・・・GA2n)にアナログ変換する第2のデジタル/アナログ変換回路とを設けて構成され、

前記分割青色アナログ映像信号作成回路(41)は、前記青色アナログ映像信号(BA)を青色デジタル映像信号に変換する第3のアナログ/デジタル変換回路と、前記青色デジタル映像信号を水平ライン上、1番目、3番目・・・のドットの青色デジタル映像信号からなる第1の分割青色デジタル映像信号と、水平ライン上、2番

10

目、4番目・・・のドットの青色デジタル映像信号からなる第2の分割青色デジタル映像信号とに分割し、これら第1、第2の分割青色デジタル映像信号を同一位相で出力する第7の分割回路と、

前記第1の分割青色デジタル映像信号を水平ライン上、1番目、 $2n+1$ 番目、 $2 \times 2n+1$ 番目・・・のドットの青色デジタル映像信号からなる第3の分割青色デジタル映像信号と、水平ライン上、3番目、 $2n+3$ 番目、 $2 \times 2n+3$ 番目・・・の画素の青色デジタル映像信号からなる第4の分割青色デジタル映像信号と、・・・、水平ライン上、 $2n-1$ 番目、 $2n+2n-1$ 番目、 $2 \times 2n+2n-1$ 番目・・・のドットの青色デジタル映像信号からなる第 $n+2$ の分割青色デジタル映像信号とに分割し、これら第3、第4・・・第 $n+2$ の分割青色デジタル映像信号を同一位相で出力する第8の分割回路と、

前記第3、第4・・・第 $n+2$ の分割青色デジタル映像信号が $1/n$ 周期ずつ位相をずらすように、前記第4・・・第 $n+2$ の分割青色デジタル映像信号を遅延させる第5の遅延回路と、

前記第2の分割青色デジタル映像信号を水平ライン上、2番目、 $2n+2$ 番目、 $2 \times 2n+2$ 番目・・・のドットの青色デジタル映像信号からなる第 $n+3$ の分割青色デジタル映像信号と、水平ライン上、4番目、 $2n+4$ 番目、 $2 \times 2n+4$ 番目・・・のドットの青色デジタル映像信号からなる第 $n+4$ の分割青色デジタル映像信号と、・・・、水平ライン上、 $2n$ 番目、 $2n+2n$ 番目、 $2 \times 2n+2n$ 番目・・・のドットの青色デジタル映像信号からなる第 $2n+2$ の分割青色デジタル映像信号とに分割し、これら第 $n+3$ 、第 $n+4$ ・・・第 $2n+2$ の分割青色デジタル映像信号を同一位相で出力する第9の分割回路と、

前記第 $n+3$ 、第 $n+4$ ・・・第 $2n+2$ の分割青色デジタル映像信号が $1/n$ 周期ずつ位相をずらすように、前記第 $n+4$ ・・・第 $2n+2$ の分割青色デジタル映像信号を遅延させる第6の遅延回路と、

前記第8の分割回路から出力される前記第3の分割青色デジタル映像信号、前記第5の遅延回路から出力される前記第4・・・第 $n+2$ の分割青色デジタル映像信号、前記第9の分割回路から出力される前記第 $n+3$ の分割青色デジタル映像信号、前記第6の遅延回路から出力される第 $n+4$ ・・・第 $2n+2$ の分割青色デジタル映像信号を前記第1、第3・・・第 $2n-1$ 、第2、第4・・・第 $2n$ の分割青色アナログ映像信号(BA1、BA3・・・BA $2n-1$ 、BA2、BA4・・・BA2n)にアナログ変換する第3のデジタル/アナログ変換回路とを設けて構成していることを特徴とする請求項5記載のアクティブマトリクス型容量性表示装置。

【請求項7】前記第1のデータ線駆動回路(42)は、所定のクロックパルスの周期のn倍のパルス幅を有する

11

第1、第2・・・第mのサンプリングパルスを前記所定のクロックパルスに同期させて順に出力する第1のサンプリング発生回路と、

前記第1、第3・・・第2n-1の分割赤色アナログ映像信号(RA1、RA3・・・RA2n-1)を伝送する第1、第2・・・第nの分割赤色アナログ映像信号線と、

前記第1、第3・・・第2n-1の分割緑色アナログ映像信号(GA1、GA3・・・GA2n-1)を伝送する第1、第2・・・第nの分割緑色アナログ映像信号線と、

前記第1、第3・・・第2n-1の分割青色アナログ映像信号(BA1、BA3・・・BA2n-1)を伝送する第1、第2・・・第nの分割青色アナログ映像信号線と、

前記第1の分割赤色アナログ映像信号線が接続された第1、第n+1、第2n+1・・・第m-n+1の分割赤色アナログ映像信号用サンプルホールド回路、前記第2の分割赤色アナログ映像信号線が接続された第2、第n+2、第2n+2・・・第m-n+2の分割赤色アナロ

グ映像信号用サンプルホールド回路、・・・、前記第nの分割赤色アナログ映像信号線が接続された第n、第n+n、第2n+n・・・第mの分割赤色アナログ映像信

号用サンプルホールド回路、前記第1の分割緑色アナロ

グ映像信号用サンプルホールド回路、前記第1の分割青色アナログ映像信号用サンプルホールド回路、前記第2の分割緑色アナログ映像信号用サンプルホールド回路、前記第2の分割青色アナロ

グ映像信号用サンプルホールド回路、前記第1の分割赤色アナログ映像信号線が接続された第1、第n+1、第2n+1・・・第m-n+1の分割赤色アナロ

グ映像信号用サンプルホールド回路、前記第2の分割青色アナログ映像信号線が接続された第2、第n+2、第2n+2・・・第m-n+2の分割青色アナロ

グ映像信号用サンプルホールド回路、・・・、前記第nの分割青色アナログ映像信号線が接続された第n、第n+n、第2n+n・・・第mの分割青色アナロ

グ映像信号用サンプルホールド回路からなる第1のサンプルホールド回路群と、

前記第1、第2・・・第mの分割赤色アナログ映像信号用サンプルホールド回路がサンプルホールドした分割赤色アナログ映像信号電圧のそれぞれを同時にサンプルホ

ールドする第m+1、第m+2・・・第2mの分割赤色アナログ映像信号用サンプルホールド回路、前記第1、第2・・・第mの分割緑色アナログ映像信号用サンプルホ

ールド回路がサンプルホールドした分割緑色アナロ

グ映像信号電圧のそれぞれを同時にサンプルホールドする

12

第m+1、第m+2・・・第2mの分割緑色アナログ映像信号用サンプルホールド回路、前記第1、第2・・・第mの分割青色アナログ映像信号用サンプルホールド回路がサンプルホールドした分割青色アナログ映像信号電圧のそれぞれを同時にサンプルホールドする第m+1、第m+2・・・第2mの分割青色アナログ映像信号用サンプルホールド回路からなる第2のサンプルホールド回路群と、

前記第m+1、第m+2・・・第2mの分割赤色アナロ

グ映像信号用サンプルホールド回路にホールドされた分

割赤色アナログ映像信号電圧を前記奇数番目のドットに

データ電圧を供給するデータ線(36₁、37₁、38₁、36₂、37₂、38₂、36₃、37₃、38₃、36₄、37₄、38₄、36₅、37₅、38₅)のうち、赤色データ電圧用データ線(36₁、36₂、36₃、36₄、36₅)に供給する第1、第2、

・第mの赤色データ電圧用出力バッファ回路、前記第m+1、第m+2・・・第2mの分割緑色アナログ映像信

号用サンプルホールド回路にホールドされた分割緑色アナログ映像信号電圧を前記奇数番目のドットにデータ電

圧を供給するデータ線(36₁、37₁、38₁、36₂、37₂、38₂、36₃、37₃、38₃、36₄、37₄、38₄、36₅、37₅、38₅)のうち、

緑色データ電圧用データ線(37₁、37₂、37₃、37₄、37₅)に供給する第1、第2、

・第mの緑色データ電圧用出力バッファ回路、前記第m+1、第m+2・・・第2mの分割青色アナログ映像信号用サンプルホールド回路にホールドされた分割青色アナログ映像信号電

圧を前記奇数番目のドットにデータ電圧を供給するデータ線(36₁、37₁、38₁、36₂、37₂、38₂、36₃、37₃、38₃、36₄、37₄、38₄、36₅、37₅、38₅)のうち、

青色データ電圧用データ線(38₁、38₂、38₃、38₄、38₅)に供給する第1、第2、

・第mの青色データ電圧用出力バッファ回路からなる出力バッファ回路群とを設けて構成され、

前記第2のデータ線駆動回路(43)は、所定のクロックパルスの周期のn倍のパルス幅を有する

第m+1、第m+2・・・第2mのサンプリングパルスを前記所定のクロックパルスに同期させて順に出力する

第2のサンプリング発生回路と、

前記第2、第4・・・第2nの分割赤色アナログ映像信

号(RA2、RA4・・・RA2n)を伝送する第n+1、第n+2・・・第2nの分割赤色アナログ映像信号線と、

前記第2、第4・・・第2nの分割緑色アナログ映像信

号(GA2、GA4・・・GA2n)を伝送する第n+1、第n+2・・・第2nの分割緑色アナログ映像信号

線と、

前記第2、第4・・・第2nの分割青色アナログ映像信

号(BA2、BA4・・・BA2n)を伝送する第n+1、第n+2・・・第2nの分割青色アナログ映像信号

線と、

13

前記第 $n+1$ の分割赤色アナログ映像信号線が接続された第 $2m+1$ 、第 $2m+n+1$ 、第 $2m+2n+1$ …・第 $3m-n+1$ の分割赤色アナログ映像信号用サンプルホールド回路、前記第 $n+2$ の分割赤色アナログ映像信号線が接続された第 $2m+2$ 、第 $2m+n+2$ 、第 $2m+2n+2$ …・第 $3m-n+2$ の分割赤色アナログ映像信号用サンプルホールド回路、…、前記第 $2n$ の分割赤色アナログ映像信号線が接続された第 $2m+n$ 、第 $2m+n+n$ 、第 $2m+2n+n$ …・第 $3m$ の分割赤色アナログ映像信号用サンプルホールド回路、前記第 1 の分割緑色アナログ映像信号線が接続された第 $2m+1$ 、第 $2m+n+1$ 、第 $2m+2n+1$ …・第 $3m-n+1$ の分割緑色アナログ映像信号用サンプルホールド回路、前記第 2 の分割緑色アナログ映像信号線が接続された第 $2m+2$ 、第 $2m+n+2$ 、第 $2m+2n+2$ …・第 $3m-n+2$ の分割緑色アナログ映像信号用サンプルホールド回路、…、前記第 $2n$ の分割緑色アナログ映像信号線が接続された第 $2m+n$ 、第 $2m+n+n$ 、第 $2m+2n+n$ …・第 $3m$ の分割緑色アナログ映像信号用サンプルホールド回路、前記第 1 の分割青色アナログ映像信号線が接続された第 $2m+1$ 、第 $2m+n+1$ 、第 $2m+2n+1$ …・第 $3m-n+1$ の分割青色アナログ映像信号用サンプルホールド回路、前記第 2 の分割青色アナログ映像信号線が接続された第 $2m+2$ 、第 $2m+n+2$ 、第 $2m+2n+2$ …・第 $3m-n+2$ の分割青色アナログ映像信号用サンプルホールド回路、…、前記第 $2n$ の分割青色アナログ映像信号線が接続された第 $2m+n$ 、第 $2m+n+n$ 、第 $2m+2n+n$ …・第 $3m$ の分割青色アナログ映像信号用サンプルホールド回路からなる第 3 のサンプルホールド回路群と、
前記第 $2m+1$ 、第 $2m+2$ …・第 $3m$ の分割赤色アナログ映像信号用サンプルホールド回路がサンプルホールドした分割赤色アナログ映像信号電圧のそれぞれを同時にサンプルホールドする第 $3m+1$ 、第 $3m+2$ …・第 $4m$ の分割赤色アナログ映像信号用サンプルホールド回路、前記第 $2m+1$ 、第 $2m+2$ …・第 $3m$ の分割緑色アナログ映像信号用サンプルホールド回路がサンプルホールドした分割緑色アナログ映像信号電圧のそれぞれを同時にサンプルホールドする第 $3m+1$ 、第 $3m+2$ …・第 $4m$ の分割緑色アナログ映像信号用サンプルホールド回路、前記第 $2m+1$ 、第 $2m+2$ …・第 $3m$ の分割青色アナログ映像信号用サンプルホールド回路がサンプルホールドした分割青色アナログ映像信号電圧のそれを同時にサンプルホールドする第 $3m+1$ 、第 $3m+2$ …・第 $4m$ の分割青色アナログ映像信号用サンプルホールド回路からなる第 4 のサンプルホールド回路群と、
前記第 $3m+1$ 、第 $3m+2$ …・第 $4m$ の分割赤色アナログ映像信号用サンプルホールド回路にホールドされ

14

た分割赤色アナログ映像信号電圧を前記偶数番目のドットにデータ電圧を供給するデータ線（3₆₂、3₇₂、3₈₂、3₆₄、3₇₄、3₈₄・・・3_{62₂}、3_{72₂}、3_{82₂}）のうち、赤色データ電圧用データ線（3₆₂、3₆₄・・・3_{62₂}）に供給する第m+1、第m+2・・・第2mの赤色データ電圧用出力バッファ回路、前記第3m+1、第3m+2・・・第4mの分割緑色アナログ映像信号用サンプルホールド回路にホールドされた分割緑色アナログ映像信号電圧を前記偶数番目のドットにデータ電圧を供給するデータ線（3₆₂、3₇₂、3₈₂、3₆₄、3₇₄、3₈₄・・・3_{62₂}、3_{72₂}、3_{82₂}）のうち、緑色データ電圧用データ線（3₇₂、3₇₄・・・3_{72₂}）に供給する第m+1、第m+2・・・第2mの緑色データ電圧用出力バッファ回路、前記第3m+1、第3m+2・・・第4mの分割青色アナログ映像信号用サンプルホールド回路にホールドされた分割青色アナログ映像信号電圧を前記偶数番目のドットにデータ電圧を供給するデータ線（3₆₂、3₇₂、3₈₂、3₆₄、3₇₄、3₈₄・・・3_{62₂}、3_{72₂}、3_{82₂}）のうち、青色データ電圧用のデータ線（3₈₂、3₈₄・・・3_{82₂}）に供給する第m+1、第m+2・・・第2mの青色データ電圧用出力バッファ回路からなる出力バッファ回路群とを設けて構成されていることを特徴とする請求項5又は6記載のアクティブマトリクス型容量性表示装置。

【請求項8】前記第1、第2・・・第nの分割赤色アナログ映像信号線は、それぞれ2本の信号線からなり、前記第1の分割赤色アナログ映像信号線を構成する一方の信号線は、前記第1、第2n+1、第2×2n+2・・・の分割赤色アナログ映像信号用サンプルホールド回路に接続され、前記第1の分割赤色アナログ映像信号線を構成する他方の信号線は、前記第n+1、第2n+n+1、第2×2n+n+1・・・の分割赤色アナログ映像信号用サンプルホールド回路に接続され、前記第2の分割赤色アナログ映像信号線を構成する一方の信号線は、前記第2、第2n+2、第2×2n+2・・・の分割赤色アナログ映像信号用サンプルホールド回路に接続され、前記第2の分割赤色アナログ映像信号線を構成する他方の信号線は、前記第n+2、第2n+n+2、第2×2n+n+2・・・の分割赤色アナログ映像信号用サンプルホールド回路に接続され、・・・、前記第nの分割赤色アナログ映像信号線を構成する一方の信号線は、前記第n、第2n+n、第2×2n+n・・・の分割赤色アナログ映像信号用サンプルホールド回路に接続され、前記第nの分割赤色アナログ映像信号線を構成する他方の信号線は、前記第2n、第2n+2n、第2×2n+2n・・・の分割赤色アナログ映像信号用サンプルホールド回路に接続され、前記第1、第2・・・第nの分割緑色アナログ映像信号線は、それぞれ2本の信号線からなり、前記第1の分割緑色アナログ映像信号線を構成する一方の信号線は、前

15

記第1、第 $2n+1$ 、第 $2 \times 2n+2 \dots$ の分割緑色アナログ映像信号用サンプルホールド回路に接続され、前記第1の分割緑色アナログ映像信号線を構成する他方の信号線は、前記第 $n+1$ 、第 $2n+n+1$ 、第 $2 \times 2n+n+1 \dots$ の分割緑色アナログ映像信号用サンプルホールド回路に接続され、前記第2の分割緑色アナログ映像信号線を構成する一方の信号線は、前記第2、第 $2n+2$ 、第 $2 \times 2n+2+n \dots$ の分割緑色アナログ映像信号用サンプルホールド回路に接続され、前記第2の分割緑色アナログ映像信号線を構成する他方の信号線は、前記第 $n+2$ 、第 $2n+n+2$ 、第 $2 \times 2n+n+2 \dots$ の分割緑色アナログ映像信号用サンプルホールド回路に接続され、前記第nの分割緑色アナログ映像信号線を構成する一方の信号線は、前記第n、第 $2n+n$ 、第 $2 \times 2n+n \dots$ の分割緑色アナログ映像信号用サンプルホールド回路に接続され、前記第nの分割緑色アナログ映像信号線を構成する他方の信号線は、前記第2n、第 $2n+2n$ 、第 $2 \times 2n+2n \dots$ の分割緑色アナログ映像信号用サンプルホールド回路に接続され、

前記第1、第 $2 \dots$ 第nの分割青色アナログ映像信号線は、それぞれ2本の信号線からなり、前記第1の分割青色アナログ映像信号線を構成する一方の信号線は、前記第1、第 $2n+1$ 、第 $2 \times 2n+2 \dots$ の分割青色アナログ映像信号用サンプルホールド回路に接続され、前記第1の分割青色アナログ映像信号線を構成する他方の信号線は、前記第 $n+1$ 、第 $2n+n+1$ 、第 $2 \times 2n+n+1 \dots$ の分割青色アナログ映像信号用サンプルホールド回路に接続され、前記第2の分割青色アナログ映像信号線を構成する他方の信号線は、前記第 $n+2$ 、第 $2n+n+2$ 、第 $2 \times 2n+n+2 \dots$ の分割青色アナログ映像信号用サンプルホールド回路に接続され、前記第nの分割青色アナログ映像信号線を構成する一方の信号線は、前記第n、第 $2n+n$ 、第 $2 \times 2n+n \dots$ の分割青色アナログ映像信号用サンプルホールド回路に接続され、前記第nの分割青色アナログ映像信号線を構成する他方の信号線は、前記第2n、第 $2n+2n$ 、第 $2 \times 2n+2n \dots$ の分割青色アナログ映像信号用サンプルホールド回路に接続され、前記第nの分割青色アナログ映像信号線を構成する一方の信号線は、前記第2、第 $2n+2$ 、第 $2 \times 2n+2+n \dots$ の分割青色アナログ映像信号用サンプルホールド回路に接続され、前記第2の分割青色アナログ映像信号線を構成する他方の信号線は、前記第 $n+1$ 、第 $2n+n+1$ 、第 $2 \times 2n+n+1 \dots$ の分割青色アナログ映像信号用サンプルホールド回路に接続され、前記第nの分割青色アナログ映像信号線を構成する一方の信号線は、前記第2n、第 $2n+2n$ 、第 $2 \times 2n+2n \dots$ の分割青色アナログ映像信号用サンプルホールド回路に接続され、前記第nの分割青色アナログ映像信号線を構成する他方の信号線は、前記第2n、第 $2n+2n$ 、第 $2 \times 2n+2n \dots$ の分割青色アナログ映像信号用サンプルホールド回路に接続され、

【請求項9】データ電圧を供給するための複数のデータ線(4₅₁、4₅₂、4₅₃)と、ゲート電圧を供給するための複数のゲート線とをマトリクス状に配線し、前記データ線(4₅₁、4₅₂、4₅₃)と前記ゲート線とが交差する部分ごとに、画素電極と、一端を前記データ線に接続され、他端を前記画素電極に接続され、

16

前記ゲート電圧によって導通、非導通が制御されるスイッチング素子とを形成してなる第1の基板と、全面素に共通に使用される共通電極を形成してなる第2の基板とを対向させ、これら第1の基板と第2の基板との間に、印加される電圧の大小によって所定の光学的性質を変化させる容量性材料を封止し、前記複数のデータ線(4₅₁、4₅₂、4₅₃)に対して一方の端部側からデータ電圧が供給される単色用のアクティブマトリクス型容量性表示パネル(4₄)と、

アナログ映像信号(A)を1水平ラインごとに1番目、 $n+1$ 番目、 $2n+1$ 番目 \dots の画素(但し、 $n=2$ 以上の整数)のアナログ映像信号からなる第1の分割アナログ映像信号(A₁)と、2番目、 $n+2$ 番目、 $2n+2$ 番目 \dots の画素のアナログ映像信号からなる第2の分割アナログ映像信号(A₂)と、 \dots 、 n 番目、 $n+n$ 番目、 $2n+n$ 番目 \dots の画素のアナログ映像信号からなる第nの分割アナログ映像信号(A_n)とに分割し、前記第1、第2 \dots 第nの分割アナログ映像信号(A₁、A₂ \dots A_n)を $1/n$ 周期ずつ位相をずらして出力する分割アナログ映像信号作成回路(4₆)と、

前記第1、第2 \dots 第nの分割アナログ映像信号(A₁、A₂ \dots A_n)を入力し、各画素のアナログ映像信号を1番目の画素のアナログ映像信号から順にサンプルホールドした後、このサンプルホールド動作によってホールドされた各画素ごとのアナログ映像信号電圧のそれを同時にサンプルホールドし、このサンプルホールド動作によってホールドされた分割アナログ映像信号電圧をデータ電圧として同時に前記複数のデータ線(4₅₁、4₅₂、4₅₃)に出力するデータ線駆動回路(4₇)とからなる部分を有して構成されていることを特徴とするアクティブマトリクス型容量性表示装置。

【請求項10】前記分割アナログ映像信号作成回路(4₆)は、

前記アナログ映像信号(A)をデジタル映像信号に変換するアナログ/デジタル変換回路と、

前記デジタル映像信号を水平ライン上、1番目、 $n+1$ 番目、 $2n+1$ 番目 \dots の画素のアナログ映像信号からなる第1の分割アナログ映像信号(A₁)と、2番目、 $n+2$ 番目、 $2n+2$ 番目 \dots の画素のアナログ映像信号からなる第2の分割アナログ映像信号(A₂)と、 \dots 、 n 番目、 $n+n$ 番目、 $2n+n$ 番目 \dots の画素のアナログ映像信号からなる第nの分割アナログ映像信号(A_n)とに分割し、これら第1、第2 \dots 第nの分割デジタル映像信号を同一位相で出力する分割回路と、

前記第1、第2 \dots 第nの分割デジタル映像信号が $1/n$ 周期ずつ位相をずらすように、前記第2 \dots 第nの分割デジタル映像信号を遅延させる遅延回路とを設け

て構成されていることを特徴とする請求項9記載のアクティブマトリクス型容量性表示装置。

【請求項11】前記データ線駆動回路(47)は、所定のクロックパルスの周期のn倍のパルス幅を有する第1、第2・・・第2mのサンプリングパルスを前記所定のクロックパルスに同期させて順に出力するサンプリング発生回路と、

前記第1、第2・・・第nの分割アナログ映像信号(A1、A2・・・An)を伝送する第1、第2・・・第nの分割アナログ映像信号線と、

前記第1の分割アナログ映像信号線が接続された第1、第n+1、第2n+1・・・第2m-n+1のサンプルホールド回路、前記第2の分割アナログ映像信号線が接続された第2、第n+2、第2n+2・・・第2m-n+2のサンプルホールド回路、・・・、前記第nの分割アナログ映像信号線が接続された第n、第n+n、第2n+n・・・第2mのサンプルホールド回路からなる第1のサンプルホールド回路群と、

前記第1、第2・・・第2mのサンプルホールド回路がサンプルホールドしたアナログ映像信号電圧のそれぞれを同時にサンプルホールドする第2m+1、第2m+2・・・第4mのサンプルホールド回路からなる第2のサンプルホールド回路群と、

前記第m+1、第m+2・・・第2mのサンプルホールド回路にホールドされたアナログ映像信号電圧を前記複数のデータ線(451、452・・・45n)に供給する第1、第2・・・第2mの出力バッファ回路からなる出力バッファ回路群とを設けて構成されていることを特徴とする請求項9又は10記載のアクティブマトリクス型容量性表示装置。

【請求項12】前記第1、第2・・・第nの分割アナログ映像信号線は、それぞれ2本の信号線からなり、前記第1の分割アナログ映像信号線を構成する一方の信号線は、前記第1、第2n+1、第2×2n+2・・・のサンプルホールド回路に接続され、前記第1の分割アナログ映像信号線を構成する他方の信号線は、前記第n+1、第2n+n+1、第2×2n+n+1・・・のサンプルホールド回路に接続され、前記第2の分割アナログ映像信号線を構成する一方の信号線は、前記第2、第2n+2、第2×2n+2・・・のサンプルホールド回路に接続され、前記第2の分割アナログ映像信号線を構成する他方の信号線は、前記第n+2、第2n+n+2、第2×2n+n+2・・・のサンプルホールド回路に接続され、・・・、前記第nの分割アナログ映像信号線を構成する一方の信号線は、前記第n、第2n+n、第2×2n+n・・・のサンプルホールド回路に接続され、前記nの分割アナログ映像信号線を構成する他方の信号線は、前記第2n、第2n+2n、第2×2n+2n・・・のサンプルホールド回路に接続されていることを特徴とする請求項11記載のアクティブマトリクス型容

量性表示装置。

【請求項13】データ電圧を供給するための複数のデータ線(491、501、511、492、502、512・・・49n、50n、51n)と、ゲート電圧を供給するための複数のゲート線とをマトリクス状に配線し、前記データ線(491、501、511、492、502、512・・・49n、50n、51n)と前記ゲート線とが交差する部分ごとに、画素電極と、一端を前記データ線に接続され、他端を前記画素電極に接続され、前記ゲート電圧によって導通、非導通が制御されるスイッチング素子とを形成してなる第1の基板と、全面素に共通に使用される共通電極を形成してなる第2の基板とを対向させ、これら第1の基板と第2の基板との間に、印加される電圧の大小によって所定の光学的性質を変化させる容量性材料を封止し、前記複数のデータ線(491、501、511、492、502、512・・・49n、50n、51n)に対して一方の端部側からデータ電圧が供給されるカラー表示用のアクティブマトリクス型容量性表示パネル(48)と、

20 赤色アナログ映像信号(RA)を1水平ラインごとに1番目、n+1番目、2n+1番目・・・のドット(ただし、n=2以上の整数)の赤色アナログ映像信号からなる第1の分割赤色アナログ映像信号(RA1)と、2番目、n+2番目、2n+2番目・・・のドットの赤色アナログ映像信号からなる第2の分割赤色アナログ映像信号(RA2)と、・・・、n番目、n+n番目、2n+n番目、2n+n番目・・・のドットの赤色アナログ映像信号からなる第nの分割赤色アナログ映像信号(RAn)とに分割し、これら第1、第2・・・第nの分割赤色アナログ映像信号(RA1、RA2・・・RAn)を1/n周期ずつ位相をずらして出力する分割赤色アナログ映像信号作成回路(52)と、

緑色アナログ映像信号(GA)を1水平ラインごとに1番目、n+1番目、2n+1番目・・・のドットの緑色アナログ映像信号からなる第1の分割緑色アナログ映像信号(GA1)と、2番目、n+2番目、2n+2番目・・・のドットの緑色アナログ映像信号からなる第2の分割緑色アナログ映像信号(GA2)と、・・・、n番目、n+n番目、2n+n番目・・・のドットの緑色アナログ映像信号(GAn)とに分割し、これら第1、第2・・・第nの分割緑色アナログ映像信号(GA1、GA2・・・GAn)を1/n周期ずつ位相をずらして出力する分割緑色アナログ映像信号作成回路(53)と、

青色アナログ映像信号(BA)を1水平ラインごとに1番目、n+1番目、2n+1番目・・・のドットの青色アナログ映像信号からなる第1の分割青色アナログ映像信号(BA1)と、2番目、n+2番目、2n+2番目・・・のドットの青色アナログ映像信号からなる第2の分割青色アナログ映像信号(BA2)と、・・・、n番

19

目、 $n+n$ 番目、 $2n+n$ 番目……のドットの青色アナログ映像信号からなる第nの分割青色アナログ映像信号(BAn)とに分割し、これら第1、第2……第nの分割青色アナログ映像信号(BA1、BA2……BAn)を $1/n$ 周期ずつ位相をずらして出力する分割青色アナログ映像信号作成回路(54)と、前記第1、第2……第nの分割赤色アナログ映像信号(RA1、RA2……RAn)、前記第1、第2……第nの分割緑色アナログ映像信号(GA1、GA2……GAN)及び前記第1、第2……第nの分割青色アナログ映像信号(BA1、BA2……BAn)とを入力し、各ドットの赤色アナログ映像信号、緑色アナログ映像信号及び青色アナログ映像信号を1番目のドットの赤色アナログ映像信号、緑色アナログ映像信号及び青色アナログ映像信号から順にサンプルホールドした後、このサンプルホールド動作によってホールドされた各ドットごとの赤色アナログ映像信号電圧、緑色アナログ映像信号電圧及び青色アナログ映像信号電圧のそれぞれを同時にサンプルホールドし、このサンプルホールド動作によってホールドされた各ドットごとの赤色アナログ映像信号電圧、緑色アナログ映像信号及び青色アナログ映像信号電圧をデータ電圧として同時に前記複数のデータ線(491、501、511、492、502、512……49n、50n、51n)に出力するデータ線駆動回路(55)とからなる部分を有して構成されていることを特徴とするアクティブマトリクス型容量性表示装置。

【請求項14】前記分割赤色アナログ映像信号作成回路(52)は、

前記赤色アナログ映像信号(RA)を赤色デジタル映像信号に変換する第1のアナログ/デジタル変換回路と、前記赤色デジタル映像信号を水平ライン上、1番目、 $n+1$ 番目、 $2n+1$ 番目……のドットの赤色アナログ映像信号からなる第1の分割赤色アナログ映像信号(RA1)と、2番目、 $n+2$ 番目、 $2n+2$ 番目……のドットの赤色アナログ映像信号からなる第2の分割赤色アナログ映像信号(RA2)と、……、n番目、 $n+n$ 番目、 $2n+n$ 番目……のドットの赤色アナログ映像信号からなる第nの分割赤色アナログ映像信号(RAn)とに分割し、これら第1、第2……第nの分割赤色デジタル映像信号を同一位相で出力する第1の分割回路と、

前記第1、第2……第nの分割赤色デジタル映像信号が $1/n$ 周期ずつ位相をずらすように、前記第2……第nの分割赤色デジタル映像信号を遅延させる第1の遅延回路とを設けて構成され、

前記分割緑色アナログ映像信号作成回路(53)は、前記緑色アナログ映像信号(GA)を緑色デジタル映像信号に変換する第2のアナログ/デジタル変換回路と、前記緑色デジタル映像信号を水平ライン上、1番目、 $n+1$ 番目、 $2n+1$ 番目……のドットの緑色アナログ

映像信号からなる第1の分割緑色アナログ映像信号(GA1)と、2番目、 $n+2$ 番目、 $2n+2$ 番目……のドットの緑色アナログ映像信号からなる第2の分割緑色アナログ映像信号(GA2)と、……、n番目、 $n+n$ 番目、 $2n+n$ 番目……のドットの緑色アナログ映像信号からなる第nの分割緑色アナログ映像信号(GAn)とに分割し、これら第1、第2……第nの分割緑色デジタル映像信号を同一位相で出力する第2の分割回路と、

前記第1、第2……第nの分割緑色デジタル映像信号が $1/n$ 周期ずつ位相をずらすように、前記第2……第nの分割緑色デジタル映像信号を遅延させる第2の遅延回路とを設けて構成され、

前記分割青色アナログ映像信号作成回路(54)は、前記青色アナログ映像信号(BA)を青色デジタル映像信号に変換する第3のアナログ/デジタル変換回路と、前記青色デジタル映像信号を水平ライン上、1番目、 $n+1$ 番目、 $2n+1$ 番目……のドットの青色アナログ映像信号からなる第1の分割青色アナログ映像信号(BA1)と、2番目、 $n+2$ 番目、 $2n+2$ 番目……のドットの青色アナログ映像信号からなる第2の分割青色アナログ映像信号(BA2)と、……、n番目、 $n+n$ 番目、 $2n+n$ 番目……のドットの青色アナログ映像信号からなる第nの分割青色アナログ映像信号(BAn)とに分割し、これら第1、第2……第nの分割青色デジタル映像信号を同一位相で出力する第3の分割回路と、

前記第1、第2……第nの分割青色デジタル映像信号が $1/n$ 周期ずつ位相をずらすように、前記第2……第nの分割青色デジタル映像信号を遅延させる第3の遅延回路とを設けて構成していることを特徴とする請求項13記載のアクティブマトリクス型容量性表示装置。

【請求項15】前記データ線駆動回路(55)は、所定のクロックパルスの周期のn倍のパルス幅を有する第1、第2……第2mのサンプリングパルスを前記所定のクロックパルスに同期させて順に出力するサンプリング発生回路と、

前記第1、第2……第nの分割赤色アナログ映像信号(RA1、RA2……RAn)を伝送する第1、第2……第nの分割赤色アナログ映像信号線と、

前記第1、第2……第nの分割緑色アナログ映像信号(GA1、GA2……GAN)を伝送する第1、第2……第nの分割緑色アナログ映像信号線と、

前記第1、第2……第nの分割青色アナログ映像信号(BA1、BA2……BAn)を伝送する第1、第2……第nの分割青色アナログ映像信号線と、

前記第1の分割赤色アナログ映像信号線が接続された第1、第 $n+1$ 、第 $2n+1$ ……第 $2m-n+1$ の分割赤色アナログ映像信号用サンプルホールド回路、前記第2の分割赤色アナログ映像信号線が接続された第2、第

n + 2、第2n + 2 . . . 第2m - n + 2の分割赤色アナログ映像信号用サンプルホールド回路、. . . 、前記第nの分割赤色アナログ映像信号線が接続された第n、第n + n、第2n + n . . . 第2mの分割赤色アナログ映像信号用サンプルホールド回路、前記第1の分割緑色アナログ映像信号線が接続された第1、第n + 1、第2n + 1 . . . 第2m - n + 1の分割緑色アナログ映像信号用サンプルホールド回路、前記第2の分割緑色アナログ映像信号線が接続された第2、第n + 2、第2n + 2 . . . 第2m - n + 2の分割緑色アナログ映像信号用サンプルホールド回路、. . . 、前記第nの分割緑色アナログ映像信号線が接続された第n、第n + n、第2n + n . . . 第2mの分割緑色アナログ映像信号用サンプルホールド回路、前記第1の分割青色アナログ映像信号線が接続された第1、第n + 1、第2n + 1 . . . 第2m - n + 1の分割青色アナログ映像信号用サンプルホールド回路、前記第2の分割青色アナログ映像信号線が接続された第2、第n + 2、第2n + 2 . . . 第2m - n + 2の分割青色アナログ映像信号用サンプルホールド回路、. . . 、前記第nの分割青色アナログ映像信号線が接続された第n、第n + n、第2n + n . . . 第2mの分割青色アナログ映像信号用サンプルホールド回路からなる第1のサンプルホールド回路群と、
 前記第1、第2 . . . 第2mの分割赤色アナログ映像信号用サンプルホールド回路がサンプルホールドした赤色アナログ映像信号電圧のそれぞれを同時にサンプルホールドする第2m + 1、第2m + 2 . . . 第4mの分割赤色アナログ映像信号用サンプルホールド回路、前記第1、第2 . . . 第2mの分割緑色アナログ映像信号用サンプルホールド回路がサンプルホールドした緑色アナログ映像信号電圧のそれぞれを同時にサンプルホールドする第2m + 1、第2m + 2 . . . 第4mの分割緑色アナログ映像信号用サンプルホールド回路、前記第1、第2 . . . 第2mの分割青色アナログ映像信号用サンプルホールド回路がサンプルホールドした青色アナログ映像信号電圧のそれぞれを同時にサンプルホールドする第2m + 1、第2m + 2 . . . 第4mの分割青色アナログ映像信号用サンプルホールド回路からなる第2のサンプルホールド回路群と、
 前記第2m + 1、第m + 2 . . . 第4mの分割赤色アナログ映像信号用サンプルホールド回路にホールドされた赤色アナログ映像信号電圧を前記複数のデータ線(49₁、50₁、51₁、49₂、50₂、51₂ . . . 49_{2n}、50_{2n}、51_{2n})のうち、赤色データ電圧用データ線(49₁、49₂ . . . 49_{2n})に供給する第1、第2 . . . 第mの赤色データ電圧用出力バッファ回路、前記第2m + 1、第m + 2 . . . 第4mの分割緑色アナログ映像信号用サンプルホールド回路にホールドされた緑色アナログ映像信号電圧を前記複数のデータ線(49₁、50₁、51₁、49₂、50₂、51₂ . . . 49_{2n}、50_{2n}、51_{2n})のうち、緑色データ電圧用データ線(50₁、50₂ . . . 50_{2n})に供給する第1、第2 . . . 第mの緑色データ電圧用出力バッファ回路、前記第2m + 1、第m + 2 . . . 第4mの分割青色アナログ映像信号用サンプルホールド回路にホールドされた青色アナログ映像信号電圧を前記複数のデータ線(49₁、49₂ . . . 49_{2n})のうち、青色データ電圧用データ線(49₁、49₂ . . . 49_{2n})に供給する第1、第2 . . . 第mの青色データ電圧用出力バッファ回路と、

28. 51_{1..}) のうち、緑色データ電圧用データ線(49_{1..}、49_{2..}...49_{2..})に供給する第1、第2...第mの緑色データ電圧用出力バッファ回路、前記第2m+1、第m+2...第4mの分割青色アナログ映像信号用サンプルホールド回路にホールドされた青色アナログ映像信号電圧を前記複数のデータ線(49_{1..}、50_{1..}、51_{1..}、49_{2..}、50_{2..}、51_{2..}...49_{2..}、50_{2..}、51_{2..})のうち、青色データ電圧用データ線(51_{1..}、51_{2..}...51_{2..})に供給する第1、第2...第mの青色データ電圧用出力バッファ回路からなる出力バッファ回路群とを設けて構成されていることを特徴とする請求項13又は14記載のアクティブマトリクス型容積性表示装置。

【請求項16】前記第1、第2...第nの分割赤色アナログ映像信号線は、それぞれ2本の信号線からなり、前記第1の分割赤色アナログ映像信号線を構成する一方の信号線は、前記第1、第2n+1、第2×2n+2...の分割赤色アナログ映像信号用サンプルホールド回路に接続され、前記第1の分割赤色アナログ映像信号線を構成する他方の信号線は、前記第n+1、第2n+n+1、第2×2n+n+1...の分割赤色アナログ映像信号用サンプルホールド回路に接続され、前記第2の分割赤色アナログ映像信号線を構成する他方の信号線は、前記第n+2、第2n+n+2、第2×2n+n+2...の分割赤色アナログ映像信号用サンプルホールド回路に接続され、...、前記第nの分割赤色アナログ映像信号線を構成する一方の信号線は、前記第n、第2n+n、第2×2n+n...の分割赤色アナログ映像信号用サンプルホールド回路に接続され、前記第nの分割赤色アナログ映像信号線を構成する他方の信号線は、前記第2n、第2n+2n、第2×2n+2n...の分割赤色アナログ映像信号用サンプルホールド回路に接続され、...、前記第nの分割赤色アナログ映像信号線は、前記第1、第2...第nの分割緑色アナログ映像信号線は、それぞれ2本の信号線からなり、前記第1の分割緑色アナログ映像信号線を構成する一方の信号線は、前記第1、第2n+1、第2×2n+2...の分割緑色アナログ映像信号用サンプルホールド回路に接続され、前記第1の分割緑色アナログ映像信号線を構成する他方の信号線は、前記第n+1、第2n+n+1、第2×2n+n+1...の分割緑色アナログ映像信号用サンプルホールド回路に接続され、前記第2の分割緑色アナログ映像信号線を構成する一方の信号線は、前記第2、第2n+2、第2×2n+2...の分割緑色アナログ映像信号用サンプルホールド回路に接続され、前記第2の分割緑色アナログ映像信号線を構成する他方の信号線は、前記第n+2、第2n+n+2、第2×2n+n+2...

23

2 . . . の分割緑色アナログ映像信号用サンプルホールド回路に接続され、 . . . 、前記第nの分割緑色アナログ映像信号線を構成する一方の信号線は、前記第n、第2n+n、第2×2n+n . . . の分割緑色アナログ映像信号用サンプルホールド回路に接続され、前記第nの分割緑色アナログ映像信号線を構成する他方の信号線は、前記第2n、第2n+2n、第2×2n+2n . . . の分割緑色アナログ映像信号用サンプルホールド回路に接続され、

前記第1、第2 . . . 第nの分割青色アナログ映像信号線は、それぞれ2本の信号線からなり、前記第1の分割青色アナログ映像信号線を構成する一方の信号線は、前記第1、第2 n+1、第2×2 n+2 . . . の分割青色アナログ映像信号用サンプルホールド回路に接続され、前記第1の分割青色アナログ映像信号線を構成する他方の信号線は、前記第n+1、第2 n+n+1、第2×2 n+n+1 . . . の分割青色アナログ映像信号用サンプルホールド回路に接続され、前記第2の分割青色アナログ映像信号線を構成する一方の信号線は、前記第2、第2 n+2、第2×2 n+2 . . . の分割青色アナログ映像信号用サンプルホールド回路に接続され、前記第2の分割青色アナログ映像信号線を構成する他方の信号線は、前記第n+2、第2 n+n+2、第2×2 n+n+2 . . . の分割青色アナログ映像信号用サンプルホールド回路に接続され、. . . 前記第nの分割青色アナログ映像信号線を構成する一方の信号線は、前記第n、第2 n+n、第2×2 n+n . . . の分割青色アナログ映像信号用サンプルホールド回路に接続され、前記第nの分割青色アナログ映像信号線を構成する他方の信号線は、第2 n、前記第2 n+2 n、第2×2 n+2 n . . . の分割青色アナログ映像信号用サンプルホールド回路に接続されていることを特徴とする請求項15記載のアクティブラトリクス型容量性表示装置。

【請求項17】所定のクロックパルスの周期のn倍のパルス幅を有する第1、第2・・・第2mのサンプリングパルスを前記所定のクロックパルスに同期させて順に出力するサンプリング発生回路と、

第1、第2・・・第nのアナログ映像信号を伝送する第1、第2・・・第nの分割アナログ映像信号線と、

前記第1のアナログ映像信号線が接続された第1、第n

+1、第2n+1・・・第2m-n+1のサンプルホールド回路、前記第2のアナログ映像信号線が接続された第2、第n+2、第2n+2・・・第2m-n+2のサンプルホールド回路、・・・、前記第nのアナログ映像信号線が接続された第n、第n+n、第2n+n・・・第2mのサンプルホールド回路からなる第1のサンプルホールド回路群と、

前記第1、第2・・・第2mのサンプルホールド回路がサンプルホールドしたアナログ映像信号電圧のそれぞれを同時にサンプルホールドする第2m+1、第2m+2

10

20

30

50

・・・第4mのサンプルホールド回路からなる第2のサンプルホールド回路群と、前記第m+1、第m+2・・・第2mのサンプルホールド回路にホールドされたアナログ映像信号電圧を前記複数のデータ線に供給する第1、第2・・・第2mの出力バッファ回路からなる出力バッファ回路群とを設けて構成されていることを特徴とするデータ線駆動用集積回路。

【請求項18】前記第1、第2…第nのアナログ映像信号線は、それぞれ2本の信号線からなり、前記第1のアナログ映像信号線を構成する一方の信号線は、前記第1、第2n+1、第2×2n+2…のサンプルホールド回路に接続され、前記第1のアナログ映像信号線を構成する他方の信号線は、前記第n+1、第2n+n+1、第2×2n+n+1…のサンプルホールド回路に接続され、前記第2のアナログ映像信号線を構成する一方の信号線は、前記第2、第2n+2、第2×2n+2…のサンプルホールド回路に接続され、前記第2のアナログ映像信号線を構成する他方の信号線は、前記第n+2、第2n+n+2、第2×2n+n+2…のサンプルホールド回路に接続され、…、前記第nのアナログ映像信号線を構成する一方の信号線は、前記第n、第2n+n、第2×2n+n…のサンプルホールド回路に接続され、前記第nのアナログ映像信号線を構成する他方の信号線は、前記第2n、第2n+2n、第2×2n+2n…のサンプルホールド回路に接続されていることを特徴とする請求項17記載のデータ駆動用集積回路。

【請求項19】所定のクロックパルスの周期のn倍のパルス幅を有する第1、第2・・・第2mのサンプリングパルスを前記所定のクロックパルスに同期させて順に出力するサンプリング発生回路と、

第1、第2・・・第nの赤色アナログ映像信号を伝送する第1、第2・・・第nの赤色アナログ映像信号線と、
第1、第2・・・第nの緑色アナログ映像信号を伝送する第1、第2・・・第nの緑色アナログ映像信号線と、
第1、第2・・・第nの青色アナログ映像信号を伝送する第1、第2・・・第nの分割青色アナログ映像信号線と、

前記第1の赤色アナログ映像信号線が接続された第1、第n+1、第2n+1・・・第2m-n+1の赤色アナログ映像信号用サンプルホールド回路、前記第2の赤色アナログ映像信号線が接続された第2、第n+2、第2n+2・・・第2m-n+2の赤色アナログ映像信号用サンプルホールド回路、・・・、前記第nの赤色アナログ映像信号線が接続された第n、第n+n、第2n+n・・・第2mの赤色アナログ映像信号用サンプルホールド回路、前記第1の緑色アナログ映像信号線が接続された第1、第n+1、第2n+1・・・第2m-n+1の緑色アナログ映像信号用サンプルホールド回路、前記第2

25

2の緑色アナログ映像信号線が接続された第2、第n+2、第2n+2・・・第2m-n+2の緑色アナログ映像信号用サンプルホールド回路、・・・、前記第nの緑色アナログ映像信号線が接続された第n、第n+n、第2n+n・・・第2mの緑色アナログ映像信号用サンプルホールド回路、前記第1の青色アナログ映像信号線が接続された第1、第n+1、第2n+1・・・第2m-n+1の青色アナログ映像信号用サンプルホールド回路、前記第2の青色アナログ映像信号線が接続された第2、第n+2、第2n+2・・・第2m-n+2の青色アナログ映像信号用サンプルホールド回路、・・・、前記第nの青色アナログ映像信号線が接続された第n、第n+n、第2n+n・・・第2mの青色アナログ映像信号用サンプルホールド回路からなる第1のサンプルホールド回路群と、

前記第1、第2・・・第2mの赤色アナログ映像信号用サンプルホールド回路がサンプルホールドした赤色アナログ映像信号電圧のそれぞれを同時にサンプルホールドする第2m+1、第2m+2・・・第4mの赤色アナログ映像信号用サンプルホールド回路、前記第1、第2・・・第2mの緑色アナログ映像信号用サンプルホールド回路がサンプルホールドした緑色アナログ映像信号電圧のそれを同時にサンプルホールドする第2m+1、第2m+2・・・第4mの緑色アナログ映像信号用サンプルホールド回路、前記第1、第2・・・第2mの青色アナログ映像信号用サンプルホールド回路がサンプルホールドした青色アナログ映像信号電圧のそれを同時にサンプルホールドする第2m+1、第2m+2・・・第4mの青色アナログ映像信号用サンプルホールド回路からなる第2のサンプルホールド回路群と、

前記第2m+1、第m+2・・・第4mの赤色アナログ映像信号用サンプルホールド回路にホールドされた赤色アナログ映像信号電圧を複数のデータ線のうち、赤色データ電圧用データ線に供給する第1、第2・・・第mの赤色データ電圧用出力バッファ回路、前記第2m+1、第m+2・・・第4mの緑色アナログ映像信号用サンプルホールド回路にホールドされた緑色アナログ映像信号電圧を前記複数のデータ線のうち、緑色データ電圧用データ線に供給する第1、第2・・・第mの緑色データ電圧用出力バッファ回路、前記第2m+1、第m+2・・・第4mの分割青色アナログ映像信号用サンプルホールド回路にホールドされた青色アナログ映像信号電圧を前記複数のデータ線のうち、青色データ電圧用データ線に供給する第1、第2・・・第mの青色データ電圧用出力バッファ回路からなる出力バッファ回路群とを設けて構成されていることを特徴とするデータ線駆動用集積回路。

【請求項20】前記第1、第2・・・第nの赤色アナログ映像信号線は、それぞれ2本の信号線からなり、前記第1の赤色アナログ映像信号線を構成する一方の信号線

26

は、前記第1、第2n+1、第2×2n+2・・・の赤色アナログ映像信号用サンプルホールド回路に接続され、前記第1の赤色アナログ映像信号線を構成する他方の信号線は、前記第n+1、第2n+n+1、第2×2n+n+1・・・の赤色アナログ映像信号用サンプルホールド回路に接続され、前記第2の赤色アナログ映像信号線を構成する一方の信号線は、前記第2、第2n+2、第2×2n+2・・・の赤色アナログ映像信号用サンプルホールド回路に接続され、前記第2の赤色アナログ映像信号線を構成する他方の信号線は、前記n+2、第2n+n+2、第2×2n+n+2・・・の赤色アナログ映像信号用サンプルホールド回路に接続され、・・・、前記第nの赤色アナログ映像信号線を構成する一方の信号線は、前記n、第2n+n、第2×2n+n・・・の赤色アナログ映像信号用サンプルホールド回路に接続され、前記nの赤色アナログ映像信号線を構成する他方の信号線は、前記第2n、第2n+2n、第2×2n+2n・・・の赤色アナログ映像信号用サンプルホールド回路に接続され、

前記第1、第2・・・第nの緑色アナログ映像信号線は、それぞれ2本の信号線からなり、前記第1の緑色アナログ映像信号線を構成する一方の信号線は、前記第1、第2n+1、第2×2n+2・・・の緑色アナログ映像信号用サンプルホールド回路に接続され、前記第1の分割緑色アナログ映像信号線を構成する他方の信号線は、前記n+1、第2n+n+1、第2×2n+n+1・・・の緑色アナログ映像信号用サンプルホールド回路に接続され、前記第2の緑色アナログ映像信号線を構成する一方の信号線は、前記第2、第2n+2、第2×2n+2・・・の緑色アナログ映像信号用サンプルホールド回路に接続され、前記第2の緑色アナログ映像信号線を構成する他方の信号線は、前記n+2、第2n+n+2、第2×2n+n+n+2・・・の緑色アナログ映像信号用サンプルホールド回路に接続され、前記第2の緑色アナログ映像信号線を構成する一方の信号線は、前記n、第2n+n、第2×2n+n・・・の緑色アナログ映像信号用サンプルホールド回路に接続され、前記nの緑色アナログ映像信号線を構成する他方の信号線は、前記第2n、第2n+2n、第2×2n+2n・・・の緑色アナログ映像信号用サンプルホールド回路に接続され、

前記第1、第2・・・第nの青色アナログ映像信号線は、それぞれ2本の信号線からなり、前記第1の青色アナログ映像信号線を構成する一方の信号線は、前記第1、第2n+1、第2×2n+2・・・の青色アナログ映像信号用サンプルホールド回路に接続され、前記第1の青色アナログ映像信号線を構成する他方の信号線は、前記n+1、第2n+n+1、第2×2n+n+n+1・・・の青色アナログ映像信号用サンプルホールド回路に接続され、前記第2の青色アナログ映像信号線を構成す

27

る一方の信号線は、前記第2、第 $2n+2$ 、第 $2 \times 2^n + 2 \dots$ の青色アナログ映像信号用サンプルホールド回路に接続され、前記第2の青色アナログ映像信号線を構成する他方の信号線は、前記第 $n+2$ 、第 $2n+n+2$ 、第 $2 \times 2^n + n + 2 \dots$ の青色アナログ映像信号用サンプルホールド回路に接続され、 \dots 、前記第nの青色アナログ映像信号線を構成する一方の信号線は、前記第n、第 $2n+n$ 、第 $2 \times 2^n + n \dots$ の青色アナログ映像信号用サンプルホールド回路に接続され、前記第nの青色アナログ映像信号線を構成する他方の信号線は、前記第2n、第 $2n+2n$ 、第 $2 \times 2^n + 2n \dots$ の青色アナログ映像信号用サンプルホールド回路に接続されていることを特徴とする請求項19記載のデータ線駆動用集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、アクティブマトリクス型液晶表示装置など、印加される電圧の大小によって光学的性質を変化させる容積性材料を2個の基板間に封止し、各画素に印加電圧を記憶させることによって画像表示を行うように構成されたアクティブマトリクス型容積性表示装置及びデータ線駆動用集積回路（以下、データドライバICという）に関する。

【0002】

【従来の技術】従来、液晶表示装置として、アクティブマトリクス型液晶表示装置、即ち、画素電極、スイッチング素子（アクティブ素子）、データ線（信号線）、ゲート線（走査線）を形成してなる基板と、共通電極を形成してなる基板とを対向させ、これら2個の基板間に液枠を封止してなるアクティブマトリクス型液晶表示パネルを設けてなる液晶表示装置が提案されている。

【0003】このアクティブマトリクス型液晶表示装置は、薄型化、軽量化を容易に実現することができ、また、CRT(cathode ray tube)表示装置に劣らない表示品質を得ることができることから、一般家庭用のテレビジョン受像機における表示装置としてだけではなく、OA(office automation)機器における表示装置としても普及しつつある。

【0004】ここに、中精細のアクティブマトリクス型液晶表示装置がドット密度を 640×480 （水平）程度としているのに対し、高精細のアクティブマトリクス型液晶表示装置は、そのドット密度を 1280×1024 程度としており、高精細の表示容量は中精細のそれの4倍以上となっている。

【0005】このように、高精細化が進むと、映像信号の高速化は避けられることができず、映像信号をサンプリングしてデータ線を介して各画素の画素電極にデータ電圧（階調電圧）を供給するデータ線駆動回路を構成するデータドライバICの高速化が要求されることになる。

10

20

30

40

50

28

【0006】しかし、このデータドライバICにおいては、シフトレジスタは比較的高速に動作させることができるが、シフトレジスタを高速に動作させるほど、サンプルホールド回路における映像信号電圧の充電時間が短くなり、充電不足を生じさせることになるので、サンプリング速度には一定の限界がある。

【0007】このため、従来のデータドライバICを用いて高精細表示を実行しようとする場合には、なんらかの工夫が必要となり、この工夫の一つに、映像信号を分割してグループ化し、この分割してグループ化される映像信号を並行してサンプリングし、データ線を並行駆動する方法がある。

【0008】例えば、7.5MHzの映像信号は、これを $1/4$ 以上に分割することができれば、20MHzのクロックパルスで動作する従来のデータドライバICでデータ線駆動回路を構成することができる。

【0009】ここに、データドライバICの代表的出力数は、120ch（チャンネル）、160ch、192chとされているが、これら出力数はアクティブマトリクス型液晶表示パネルの水平ラインの画素数を割り切れる数として設定されたものである。

【0010】例えば、直視型のアクティブマトリクス型液晶表示装置に使用されるアクティブマトリクス型液晶表示パネルでは、1ドットがRGBの3画素から成り立っていることから、ドット密度が 640×480 の中精細のアクティブマトリクス型液晶表示パネルにおいては、水平ラインの画素数は $640 \times 3 = 1920$ となり、この1920は、確かに、120、160、192で割り切れる。

【0011】しかし、ドット密度が 1024×768 の高精細のアクティブマトリクス型液晶表示パネルでは、水平ラインの画素数は、 $1024 \times 3 = 3072$ となるが、この3072は、192では割り切れるが、120、160では割り切れない。

【0012】このことから、今後は、中精細及び高精細のアクティブマトリクス型液晶表示装置の両方に対応することができる出力数が192chのデータドライバICが主流になると考えられる。

【0013】ここに、前述したように、7.5MHzの映像信号は、これを $1/4$ 以上に分割することができれば、20MHzのクロックパルスで動作する従来のデータドライバICでも取り込むことが可能となるが、このデータドライバICとして出力数が192chのデータドライバICを使用する場合には、 $1/6$ の分割が必要となり、6個のデータドライバICが必要となる。

【0014】ところで、投写型のカラー表示のアクティブマトリクス型液晶表示装置の場合には、RGB用のそれぞれのアクティブマトリクス型液晶表示パネルの水平ラインの画素数は直視型の場合の $1/3$ となる。

【0015】例えば、ドット密度が 1024×768 の

投写型のカラー表示のアクティブマトリクス型液晶表示装置においては、RGB用のそれぞれのアクティブマトリクス型液晶表示パネルの水平ラインの画素数は1024となる。

【0016】このため、ドット密度が 1024×768 の投写型のカラー表示のアクティブマトリクス型液晶表示装置において、出力数が192chのデータドライバICを使用し、映像信号を1/6に分割してデータ線の並行駆動を実行しようとする場合には、RGB用のそれぞれのアクティブマトリクス型液晶表示パネルの水平ラインの画素数1024は192で割り切れないため、データドライバICには未使用の出力ピンが存在することになる。

【0017】ここに、図27は、出力数が192chのデータドライバICを使用してなるドット密度が 1024×768 の従来の投写型のカラー表示のアクティブマトリクス型液晶表示装置の一例における赤色用のアクティブマトリクス型液晶表示パネル及びその周辺回路部分を示しており、緑色用及び青色用のアクティブマトリクス型液晶表示パネル及びその周辺回路部分も同様に構成されている。

【0018】図中、1は画素密度が 1024×768 の赤色用のアクティブマトリクス型液晶表示パネルであり、2₁～2₄、2₅～2₈、2₉～2₁₂、2₁₃～2₁₆、2₁₇～2₂₀はデータ電圧を供給するための1024本のデータ線の一部を示しており、アクティブマトリクス型液晶表示パネル1は、より詳しくは、図28にその一部分を示すように構成されている。

【0019】図28中、3₁、3₂、3₃はゲート電圧を供給するためのゲート線、4₁₋₁～4₁₋₄、4₂₋₁～4₂₋₄、4₇₆₈₋₁～4₇₆₈₋₄は画素、5₁₋₁～5₁₋₄、5₂₋₁～5₂₋₄、5₇₆₈₋₁～5₇₆₈₋₄は画素4₁₋₁～4₁₋₄、4₂₋₁～4₂₋₄、4₇₆₈₋₁～4₇₆₈₋₄の液晶容量である。

【0020】また、6₁₋₁～6₁₋₄、6₂₋₁～6₂₋₄、6₇₆₈₋₁～6₇₆₈₋₄は画素4₁₋₁～4₁₋₄、4₂₋₁～4₂₋₄、4₇₆₈₋₁～4₇₆₈₋₄ごとに設けられている画素電極、7は全画素に共通に設けられている共通電極である。

【0021】また、8₁₋₁～8₁₋₄、8₂₋₁～8₂₋₄、8₇₆₈₋₁～8₇₆₈₋₄はスイッチング素子として動作して画素電極6₁₋₁～6₁₋₄、6₂₋₁～6₂₋₄、6₇₆₈₋₁～6₇₆₈₋₄にデータ電圧を供給する薄膜トランジスタ（Thin Film Transistor、以下、TFTという）である。

【0022】かかるアクティブマトリクス型液晶表示パネル1は、物理的には、データ線、ゲート線、画素電極、TFTを形成してなるTET基板と、共通電極を形成してなる共通基板とを対向させ、これらTET基板と共通基板との間に液晶を封止して構成されており、図29は、TFT基板を概略的に示す平面図である。

【0023】また、図27において、9₁～9₆は出力数を192chとする同一回路構成のデータドライバI

C、RA11～RA13、RA21～RA23は後述するように作成される分割赤色アナログ映像信号である。

【0024】ここに、データドライバIC9₁～9₆は、アクティブマトリクス型液晶表示パネル1の上側に配置され、奇数番目のデータ線2₁、2₃～2₁₀₂₃を駆動するようにされている。

【0025】より詳しくは、データドライバIC9₁はデータ線2₁、2₃～2₁₀₂₃を駆動し、データドライバIC9₂はデータ線2₃～2₁₀₂₃を駆動し、データドライバIC9₃はデータ線2₇₆₉、2₇₇₁～2₁₀₂₃を駆動するようにされている。

【0026】また、データドライバIC9₄～9₆は、アクティブマトリクス型液晶表示パネル1の下側に配置され、偶数番目のデータ線2₂、2₄～2₁₀₂₄を駆動するようにされている。

【0027】より詳しくは、データドライバIC9₄はデータ線2₂、2₄～2₁₀₂₄を駆動し、データドライバIC9₅はデータ線2₃～2₁₀₂₄を駆動し、データドライバIC9₆はデータ線2₇₇₀、2₇₇₂～2₁₀₂₄を駆動するようにされている。

【0028】ここに、図30は、データドライバIC9₁の回路構成を示すブロック図であり、図中、10はスタートパルスSIをシフトレジスタ用クロックパルスCLKに同期させてシフトし、サンプリングパルスSP1、SP2～SP192を順に出力するサンプリングパルス発生回路である。

【0029】また、11はサンプリングパルス発生回路10から出力されるサンプリングパルスSP1、SP2～SP192に同期させて分割赤色アナログ映像信号RA11をサンプルホールドするサンプルホールド回路群である。

【0030】また、12はサンプルホールド回路群11にホールドされた分割赤色アナログ映像信号電圧のそれを転送タイミングパルスLEに同期させて同時にサンプルホールドするサンプルホールド回路群である。

【0031】また、13はサンプルホールド回路群12にホールドされたアナログ信号電圧をデータ電圧としてデータ線2₁、2₃～2₁₀₂₃に出力する出力バッファ回路群である。

【0032】このデータドライバIC9₁は、より詳しくは、図31にその一部分を示すように構成されている。

【0033】図31中、サンプリングパルス発生回路10において、14はスタートパルスSIをシフトレジスタ用クロックパルスCLKに同期させてシフトする直列入力・並列出力型のシフトレジスタである。

【0034】また、15₁、15₂、15₃、15₄、15₁₉₂はシフトレジスタ14から出力されるスタートパルスSIをシフトしてなるパルスQ1、Q2、Q3、Q4、Q192をレベルシフトしてサンプリングパルスS

31

P1、SP2、SP3、SP4、SP192を生成するレベルシフタである。

【0035】また、サンプルホールド回路群11において、16₁、16₂、16₃、16₄、16₁₉₂はサンプルホールド回路であり、17₁、17₂、17₃、17₄、17₁₉₂はサンプリングパルスSP1、SP2、SP3、SP4、SP192により導通、非導通が制御されるサンプリング用のスイッチ素子、18₁、18₂、18₃、18₄、18₁₉₂はホールド用のコンデンサである。

【0036】また、サンプルホールド回路群12において、19₁、19₂、19₃、19₄、19₁₉₂はサンプルホールド回路であり、20₁、20₂、20₃、20₄、20₁₉₂はバッファ回路を構成するオペアンプである。

【0037】また、21₁、21₂、21₃、21₄、21₁₉₂は転送タイミングパルスLEにより導通、非導通が制御されるサンプリング用のスイッチ素子、22₁、22₂、22₃、22₄、22₁₉₂はホールド用のコンデンサである。

【0038】また、出力バッファ回路群13において、23₁、23₂、23₃、23₄、23₁₉₂は出力バッファ回路を構成するオペアンプである。

【0039】また、図27において、24は赤色アナログ映像信号RAを分割し、1水平ラインごとに分割赤色アナログ映像信号RA11～RA13、RA21～RA23を作成する分割赤色アナログ映像信号作成回路である。

【0040】この分割赤色アナログ映像信号作成回路24は、図32に示すように構成されており、図32中、25は赤色アナログ映像信号RAを8ビットの赤色デジタル映像信号RDに変換するA/D変換回路である。

【0041】また、26は赤色デジタル映像信号RDを水平ライン上、1番目、3番目・・・1023番目の画素の赤色デジタル映像信号からなる分割赤色デジタル映像信号RD1と、水平ライン上、2番目、4番目・・・1024番目の赤色デジタル映像信号からなる分割赤色デジタル映像信号RD2とに分割して、これら分割赤色デジタル映像信号RD1、RD2を同一位相で出力する分割回路である。

【0042】また、27は分割赤色デジタル映像信号RD1を水平ライン上、1番目、3番目・・・383番目の赤色デジタル映像信号からなる分割赤色デジタル映像信号RD11と、水平ライン上、385番目、387番目・・・767番目の赤色デジタル映像信号からなる分割赤色デジタル映像信号RD12と、水平ライン上、769番目、771番目、1023番目の赤色デジタル信号からなる分割赤色デジタル映像信号RD13とに分割し、これら分割赤色デジタル映像信号RD11、RD12、RD13を同一位相で出力する分割回路である。

【0043】また、28は分割赤色デジタル映像信号RD2を水平ライン上、2番目、4番目・・・384番目

10

20

30

40

50

32

の赤色デジタル映像信号からなる分割赤色デジタル映像信号RD21と、水平ライン上、386番目、388番目・・・768番目の赤色デジタル映像信号からなる分割赤色デジタル映像信号RD22と、水平ライン上、770番目、772番目、1024番目の赤色デジタル映像信号からなる分割赤色デジタル映像信号RD23とに分割し、これら分割赤色デジタル映像信号RD21、RD22、RD23を同一位相で出力する分割回路である。

【0044】また、29は分割赤色デジタル映像信号RD11、RD12、RD13、RD21、RD22、RD23をそれぞれアナログ変換し、水平ライン上、1番目、3番目・・・383番目の赤色アナログ映像信号からなる分割赤色アナログ映像信号RA11と、水平ライン上、385番目、387番目・・・767番目の赤色アナログ映像信号からなる分割赤色アナログ映像信号RA12と、水平ライン上、769番目、771番目、1023番目の赤色アナログ映像信号からなる分割赤色アナログ映像信号RA13と、水平ライン上、2番目、4番目・・・384番目の赤色アナログ映像信号からなる分割赤色アナログ映像信号RA21と、水平ライン上、386番目、388番目・・・768番目の赤色アナログ映像信号からなる分割赤色アナログ映像信号RA22と、水平ライン上、770番目、772番目、1024番目の赤色アナログ映像信号からなる分割赤色アナログ映像信号RA23とを出力するD/A変換回路である。

【0045】なお、分割赤色アナログ映像信号RA11はデータドライバIC9に供給され、分割赤色アナログ映像信号RA12はデータドライバIC9に供給され、分割赤色アナログ映像信号RA13はデータドライバIC9に供給され、分割赤色アナログ映像信号RA21はデータドライバIC9に供給され、分割赤色アナログ映像信号RA22はデータドライバIC9に供給され、分割赤色アナログ映像信号RA23はデータドライバIC9に供給される。

【0046】ここに、図33は分割赤色アナログ映像信号作成回路24の動作を説明するためのタイムチャートであり、図33Aは56.6KHzの水平同期信号Hsyncを示しており、このアクティマトリクス型液晶表示装置においては、1水平走査期間TA=17.6μsとされている。

【0047】また、図33Bは75MHz、1024画素の1水平ライン分の赤色アナログ映像信号RA、図33Cは赤色デジタル映像信号RD、図33Dは分割赤色デジタル映像信号RD1、図33Eは分割赤色デジタル映像信号RD2を示している。

【0048】また、図33Fは分割赤色デジタル映像信号RD11、図33Gは分割赤色デジタル映像信号RD12、図33Hは分割赤色デジタル映像信号RD13を示している。

33

【0049】また、図33Iは分割赤色デジタル映像信号RD21、図33Jは分割赤色デジタル映像信号信号RD22、図33Kは分割赤色デジタル映像信号信号RD23を示している。

【0050】また、図33Lは分割赤色アナログ映像信号RA11、図33Mは分割赤色アナログ映像信号RA12、図33Nは分割赤色アナログ映像信号RA13を示している。

【0051】また、図33Oは分割赤色アナログ映像信号RA21、図33Pは分割赤色アナログ映像信号RA22、図33Qは分割赤色アナログ映像信号RA23、図33RはラッチパルスLEを示している。

【0052】なお、この図33は、赤色アナログ映像信号RA、赤色デジタル映像信号RD、分割赤色デジタル映像信号RD1、RD2、RD11、RD12、RD13、RD21、RD22、RD23、分割赤色アナログ映像信号RA11、RA12、RA13、RA21、RA22、RA23は、水平同期信号Hsyncに対する相対的位置を示しており、その全てについて、時間軸を一致させるものではない。

【0053】ここに、分割赤色アナログ映像信号作成回路24においては、図33Bに示すように、75MHzの赤色アナログ映像信号RAが入力されると、A/D変換回路25からは、図33Cに示すように、75MHzの赤色デジタル映像信号RDが出力され、これが分割回路26に供給される。

【0054】ここに、赤色アナログ映像信号RAの表示期間TBは、 $(1/75 \times 10^6) \times 1024 = 13.6 \times 10^{-6} = 13.6 \mu s$ であるから、赤色デジタル映像信号RDの表示期間も、 $13.6 \mu s$ となる。

【0055】分割回路26においては、赤色デジタル映像信号RDが分割され、分割回路26からは、図33Dに示すように、水平ライン上、1番目、3番目・・・1023番目の画素の赤色デジタル映像信号からなる分割赤色デジタル映像信号RD1と、図33Eに示すように、水平ライン上、2番目、4番目・・・1024番目の赤色デジタル映像信号からなる分割赤色デジタル映像信号RD2とが出力され、分割赤色デジタル映像信号RD1は分割回路27に供給され、分割赤色デジタル映像信号RD2は分割回路28に供給される。

【0056】ここに、分割赤色デジタル映像信号RD1、RD2は、赤色デジタル映像信号RDを2分割してなるものであるから、分割赤色デジタル映像信号RD1、RD2の表示期間は $(13.6 \mu s / 1024) \times 2 \times 512 = 13.6 \mu s$ となる。

【0057】分割回路27においては、赤色デジタル映像信号RD1が分割され、図33Fに示すように、水平ライン上、1番目、3番目・・・383番目の画素の赤色デジタル映像信号からなる分割赤色デジタル映像信号RD11と、図33Gに示すように、水平ライン上、3

34

85番目、387番目・・・767番目の画素の赤色デジタル映像信号からなる分割赤色デジタル映像信号RD12と、図33Hに示すように、水平ライン上、769番目、771番目・・・1023番目の画素の赤色デジタル映像信号からなる分割赤色デジタル映像信号RD13とが出力され、これら分割赤色デジタル映像信号RD11、RD12、RD13は、D/A変換回路29に伝送される。

【0058】ここに、分割赤色デジタル映像信号RD11、RD12、RD13は、赤色デジタル映像信号RD1を192画素、192画素、128画素となるように3分割してなるものであるから、分割赤色デジタル映像信号RD11、RD12の表示期間は $(13.6 \mu s / 512) \times 3 \times 192 = 15.3 \mu s$ となり、分割赤色デジタル映像信号RD13の表示期間は $(13.6 \mu s / 512) \times 3 \times 128 = 10.2 \mu s$ となる。

【0059】また、分割回路28においては、赤色デジタル映像信号RD2が分割され、図33Iに示すように、水平ライン上、2番目、1番目・・・384番目の画素の赤色デジタル映像信号からなる分割赤色デジタル映像信号RD21と、図33Jに示すように、水平ライン上、386番目、388番目・・・768番目の画素の赤色デジタル映像信号からなる分割赤色デジタル映像信号RD22と、図33Kに示すように、水平ライン上、770番目、772番目・・・1024番目の画素の赤色デジタル映像信号からなる分割赤色デジタル映像信号RD23とが出力され、これら分割赤色デジタル映像信号RD21、RD22、RD23は、D/A変換回路29に供給される。

【0060】ここに、分割赤色デジタル映像信号RD21、RD22、RD23は、赤色デジタル映像信号RD2を192画素、192画素、128画素となるように3分割してなるものであるから、分割赤色デジタル映像信号RD21、RD22の表示期間は $(13.6 \mu s / 512) \times 3 \times 192 = 15.3 \mu s$ となり、分割赤色デジタル映像信号RD23の表示期間は $(13.6 \mu s / 512) \times 3 \times 128 = 10.2 \mu s$ となる。

【0061】D/A変換回路29からは、図33L～図33Qに示すように、分割赤色デジタル映像信号RD11、RD12、RD13、RD21、RD22、RD23がアナログ信号化されてなる分割赤色アナログ映像信号RA11、RA12、RA13、RA21、RA22、RA23が出力され、これら分割赤色アナログ映像信号RA11、RA12、RA13、RA21、RA22、RA23はそれぞれデータドライバIC91、92、93、94、95、96に供給される。

【0062】ここに、図34はデータドライバIC91の動作を示すタイムチャートであり、図34Aは20MHzのシフトレジスタ用クロックパルスCLK、図34BはスタートパルスS1を示している。

【0063】また、図34CはサンプリングパルスSP1、図34DはサンプリングパルスSP2、図34EはサンプリングパルスSP3、図34FはサンプリングパルスSP4、図34GはサンプリングパルスSP192、図34Hは分割赤色アナログ映像信号RA11を示している。

【0064】即ち、データドライバIC9₁においては、サンプリングパルス発生回路10にスタートパルスSIが供給されると、このスタートパルスSIがシフトレジスタ用クロックパルスCLKの立ち上がりのタイミングでラッチされ、シフトレジスタ用クロックパルスCLKに同期したサンプリングパルスSP1、SP2・・・SP192が順に出力される。

【0065】そして、これらサンプリングパルスSP1、SP2・・・SP192が順にスイッチ素子1₁、1₂、1₃、1₄、1₅、1₆に供給され、分割赤色アナログ映像信号RA11が水平ライン上、1番目、3番目・・・383番目の画素の赤色アナログ映像信号ごとにコンデンサ1₁、1₂、1₃、1₄、1₅、1₆にサンプルホールドされる。

【0066】次に、転送タイミングパルスLEがHレベルとされ、スイッチ素子2₁、2₂、2₃、2₄、2₅、2₆が同時に導通状態とされて、コンデンサ1₁、1₂、1₃、1₄、1₅、1₆にホールドされている水平ライン上、1番目、3番目・・・383番目の画素の赤色アナログ映像信号電圧がコンデンサ2₁、2₂、2₃、2₄、2₅、2₆にサンプルホールドされる。

【0067】この結果、これらコンデンサ2₁、2₂、2₃、2₄、2₅、2₆にホールドされた水平ライン上、1番目、3番目・・・383番目の画素の赤色アナログ映像信号電圧がデータ電圧として、オペアンプ2₃₁、2₃₂、2₃₃を介してデータ線2₁、2₂、2₃に取出される。他のデータドライバIC9₃～9₆も同時に同様に動作する。

【0068】このように、このアクティブマトリクス型液晶表示装置においては、赤色アナログ映像信号RAを6分割して、データ線の並列駆動を行うよう正在しているので、20MHzのクロックパルスCLKで動作するデータドライバIC9₁～9₆によっても、アクティブマトリクス型液晶表示パネル1を駆動することが可能となる。

【0069】

【発明が解決しようとする課題】ここに、1水平走査期間における非表示期間は、水平走査期間TA-分割赤色アナログ映像信号RA11、RA13、RA21、RA23の表示期間TCとなり、転送タイミングパルスLEは、この非表示期間内で使用しなければならない。

【0070】ところが、赤色アナログ映像信号RAの表示期間TBは1.3.6μsであるが、分割赤色アナログ映像信号RA11、RA13、RA21、RA23の表

示期間TCは15.3μsとなり、1水平走査期間における非表示期間は、赤色アナログ映像信号RAを分割しない場合よりも、15.3-13.6=1.7μsだけ長くなってしまう。

【0071】このため、この従来のアクティブマトリクス型液晶表示装置においては、転送タイミングパルスLEの有効期間TDを短くしなければならず、不足期間TEが生じ、データドライバIC9₁～9₆においては、2段日のサンプルホールド回路群（データドライバIC9₁においては、サンプルホールド回路群12）におけるサンプリング期間が不足してしまい、その分、表示品質が低下してしまうという問題点があった。

【0072】本発明は、かかる点に鑑み、アナログ映像信号を分割し、データ線の並列駆動を行う場合であっても、非表示期間を大幅に減らすことはなく、高精細な表示を行うことができるようしたアクティブマトリクス型容量性表示装置及びデータドライバICを提供することを目的とする。

【課題を解決するための手段】

第1の発明・図1

図1は本発明中、第1の発明の原理説明図であり、第1の発明によるアクティブマトリクス型容量性表示装置は、図1に示す部分を含んで構成されるものである。

【0074】なお、この第1の発明は、例えば、両側駆動方式（アクティブマトリクス型液晶表示パネルの上側及び下側にデータドライバICを配列して両側からデータ線を駆動する方式）の直視型あるいは投写型の単色表示のアクティブマトリクス型液晶表示装置又は両側駆動方式の投写型のカラー表示のアクティブマトリクス型液晶表示装置に適用されるものである。

【0075】ここに、30はデータ電圧を供給するための複数のデータ線3₁₁、3₁₂、3₁₃、3₁₄、3₁₅、3₁₆と、ゲート電圧を供給するための複数のゲート線とをマトリクス状に配線し、データ線3₁₁、3₁₂、3₁₃、3₁₄、3₁₅、3₁₆とゲート線とが交差する部分ごとに、画素電極と、一端をデータ線に接続され、他端を画素電極に接続され、ゲート電圧によって導通、非導通が制御されるスイッチング素子とを形成してなる第1の基板と、全画素に共通に使用される共通電極を形成してなる第2の基板とを対向させ、これら第1の基板と第2の基板との間に、印加される電圧の大小によって所定の光的性質を変化させる容量性材料を封止し、奇数番目のデータ線3₁₁、3₁₃、3₁₅、3₁₇には一方の端部側からデータ電圧が供給され、偶数番目のデータ線3₁₂、3₁₄、3₁₆、3₁₈には他方の端部側からデータ電圧が供給される単色用のアクティブマトリクス型容量性表示パネルである。

【0076】また、32はアナログ映像信号Aを1水平ラインごとに1番目、2n+1番目、2×2n+1番目・・・の画素（但し、n=2以上の整数）のアナログ映

像信号からなる分割アナログ映像信号A₁と、2番目、2n+2番目、2×2n+2番目・・・の画素のアナログ映像信号からなる分割アナログ映像信号A₂と、3番目、2n+3番目、2×2n+3番目・・・の画素のアナログ映像信号からなる分割アナログ映像信号A₃と、4番目、2n+4番目、2×2n+4番目・・・の画素のアナログ映像信号からなる分割アナログ映像信号A₄と、・・・、2n-1番目、2n+2n-1番目、2×2n+2n-1番目・・・の画素のアナログ映像信号からなる分割アナログ映像信号A_{2n-1}と、2n番目、2n+2n番目、2×2n+2n番目・・・の画素のアナログ映像信号からなる分割アナログ映像信号A_{2n}とに分割し、分割アナログ映像信号A₁、A₃・・・A_{2n-1}を1/n周期ずつ位相をずらして出力すると共に、分割アナログ映像信号A₂、A₄・・・A_{2n}を、分割アナログ映像信号A₂の位相と分割アナログ映像信号A₁の位相とが一致するように、1/n周期ずつ位相をずらして出力する分割アナログ映像信号作成回路である。

【0077】また、33は分割アナログ映像信号A₁、A₃・・・A_{2n-1}を入力し、奇数番目の画素のアナログ映像信号を1番目の画素のアナログ映像信号から順にサンプルホールドした後、このサンプルホールド動作によってホールドされた奇数番目の画素ごとのアナログ映像信号電圧のそれぞれを同時にサンプルホールドし、このサンプルホールド動作によってホールドされた奇数番目の画素ごとのアナログ映像信号電圧をデータ電圧として同時に奇数番目のデータ線3₁₁、3₁₃・・・3_{12n-1}に出力するデータ線駆動回路である。

【0078】また、34は分割アナログ映像信号A₂、A₄・・・A_{2n}を入力し、偶数番目の画素のアナログ映像信号を1番目の画素のアナログ映像信号から順にサンプルホールドした後、このサンプルホールド動作によってホールドされた偶数番目の画素ごとのアナログ映像信号電圧のそれを同時にサンプルホールドし、このサンプルホールド動作によってホールドされた偶数番目の画素ごとのアナログ映像信号電圧をデータ電圧として同時に偶数番目のデータ線3₁₁、3₁₄・・・3_{12n}に出力するデータ線駆動回路である。

【0079】第2の発明・図2

図2は本発明中、第2の発明の原理説明図であり、第2の発明によるアクティブマトリクス型容量性表示装置は、図2に示す部分を含んで構成されているものである。

【0080】なお、この第2の発明は、例えば、両側駆動方式の直視型のカラー表示のアクティブマトリクス型液晶表示装置に適用されるものである。

【0081】ここに、35はデータ電圧を供給するための複数のデータ線3₆₁、3₇₁、3₈₁、3₆₂、3₇₂、3₈₂・・・3_{62n}、3_{72n}、3_{82n}と、ゲート電

圧を供給するための複数のゲート線とをマトリクス状に配線し、データ線3₆₁、3₇₁、3₈₁、3₆₂、3₇₂、3₈₂・・・3_{62n}、3_{72n}、3_{82n}とゲート線とが交差する部分ごとに、画素電極と、一端をデータ線に接続され、他端を画素電極に接続され、ゲート電圧によって導通、非導通が制御されるスイッチング素子とを形成してなる第1の基板と、全画素に共通に使用される共通電極を形成してなる第2の基板とを対向させ、これら第1の基板と第2の基板との間に、印加される電圧の大小によって所定の光学的性質を変化させる容量性材料を封止し、奇数番目のドットにデータ電圧を供給するデータ線3₆₁、3₇₁、3₈₁、3₆₃、3₇₃、3₈₃・・・3_{62n-1}、3_{72n-1}、3_{82n-1}には一方の端部側からデータ電圧が供給され、偶数番目のドットにデータ電圧を供給するデータ線3₆₂、3₇₂、3₈₂、3₆₄、3₇₄、3₈₄・・・3_{62n}、3_{72n}、3_{82n}には他方の端部側からデータ電圧が供給されるカラー表示用のアクティブマトリクス型容量性表示パネルである。

【0082】なお、データ線3₆₁、3₇₁、3₈₁、3₆₂、3₇₂、3₈₂・・・3_{62n}、3_{72n}、3_{82n}のうち、データ線3₆₁、3₆₂・・・3_{62n}は、例えば、赤色のデータ電圧を供給するために使用され、データ線3₇₁、3₇₂・・・3_{72n}は、例えば、緑色のデータ電圧を供給するために使用され、データ線3₈₁、3₈₂・・・3_{82n}は、例えば、青色のデータ電圧を供給するために使用される。

【0083】また、39は赤色アナログ映像信号RAを1水平ラインごとに1番目、2n+1番目、2×2n+1番目・・・のドット（但し、n=2以上の整数）の赤色アナログ映像信号からなる分割赤色アナログ映像信号RA₁と、2番目、2n+2番目、2×2n+2番目・・・のドットの赤色アナログ映像信号からなる分割赤色アナログ映像信号RA₂と、3番目、2n+3番目、2×2n+3番目・・・のドットの赤色アナログ映像信号からなる分割赤色アナログ映像信号RA₃と、4番目、2n+4番目、2×2n+4番目・・・のドットの赤色アナログ映像信号からなる分割赤色アナログ映像信号RA₄と、・・・、2n-1番目、2n+2n-1番目、2×2n+2n-1番目・・・のドットの赤色アナログ映像信号からなる分割赤色アナログ映像信号RA_{2n-1}と、2n番目、2n+2n番目、2×2n+2n番目・・・のドットの赤色アナログ映像信号からなる分割赤色アナログ映像信号RA_{2n}とに分割し、分割赤色アナログ映像信号RA₁、RA₃・・・RA_{2n-1}を1/n周期ずつ位相をずらして出力すると共に、分割赤色アナログ映像信号RA₂、RA₄・・・RA_{2n}を、分割赤色アナログ映像信号RA₂の位相と分割赤色アナログ映像信号RA₁の位相とが一致するように、1/n周期ずつ位相をずらして出力する分割赤色アナログ映像信号作成回路である。

【0084】また、40は緑色アナログ映像信号GAを1水平ラインごとに1番目、 $2n+1$ 番目、 $2 \times 2n+1$ 番目・・・のドットの緑色アナログ映像信号からなる分割緑色アナログ映像信号GA1と、2番目、 $2n+2$ 番目、 $2 \times 2n+2$ 番目・・・のドットの緑色アナログ映像信号からなる分割緑色アナログ映像信号GA2と、3番目、 $2n+3$ 番目、 $2 \times 2n+3$ 番目・・・のドットの緑色アナログ映像信号からなる分割緑色アナログ映像信号GA3と、4番目、 $2n+4$ 番目、 $2 \times 2n+4$ 番目・・・のドットの緑色アナログ映像信号からなる分割緑色アナログ映像信号GA4と、・・・、 $2n-1$ 番目、 $2n+2n-1$ 番目、 $2 \times 2n+2n-1$ 番目・・・のドットの緑色アナログ映像信号からなる分割緑色アナログ映像信号GA2n-1と、2n番目、 $2n+2n$ 番目、 $2 \times 2n+2n$ 番目・・・のドットの緑色アナログ映像信号からなる分割緑色アナログ映像信号GA2nと、 n 周期ずつ位相をずらして出力すると共に、分割緑色アナログ映像信号GA2、GA4・・・GA2nを、分割緑色アナログ映像信号GA2の位相と分割緑色アナログ映像信号GA1の位相とが一致するように、 $1/n$ 周期ずつ位相をずらして出力する分割緑色アナログ映像信号作成回路である。

【0085】また、41は青色アナログ映像信号BAを1水平ラインごとに1番目、 $2n+1$ 番目、 $2 \times 2n+1$ 番目・・・のドットの青色アナログ映像信号からなる分割青色アナログ映像信号BA1と、2番目、 $2n+2$ 番目、 $2 \times 2n+2$ 番目・・・のドットの青色アナログ映像信号からなる分割青色アナログ映像信号BA2と、3番目、 $2n+3$ 番目、 $2 \times 2n+3$ 番目・・・のドットの青色アナログ映像信号からなる分割青色アナログ映像信号BA3と、4番目、 $2n+4$ 番目、 $2 \times 2n+4$ 番目・・・のドットの青色アナログ映像信号からなる分割青色アナログ映像信号BA4と、・・・、 $2n-1$ 番目、 $2n+2n-1$ 番目、 $2 \times 2n+2n-1$ 番目・・・のドットの青色アナログ映像信号からなる分割青色アナログ映像信号BA2n-1と、2n番目、 $2n+2n$ 番目・・・のドットの青色アナログ映像信号からなる分割青色アナログ映像信号BA2nを、 n 周期ずつ位相をずらして出力すると共に、分割青色アナログ映像信号BA2、BA4・・・BA2nを、分割青色アナログ映像信号BA2の位相と分割青色アナログ映像信号BA1の位相とが一致するように $1/n$ 周期ずつ位相をずらして出力する分割青色アナログ映像信号作成回路である。

【0086】また、42は分割赤色アナログ映像信号RA1、RA3・・・RA2n-1、分割緑色アナログ映像信号GA1、GA3・・・GA2n-1及び分割青色アナログ映像信号BA1、BA3・・・BA2n-1を

入力し、奇数番目のドットの赤色アナログ映像信号、緑色アナログ映像信号及び青色アナログ映像信号を1番目のドットの赤色アナログ映像信号、緑色アナログ映像信号及び青色アナログ映像信号から順にサンプルホールドした後、このサンプルホールド動作によってホールドされた奇数番目のドットごとの赤色アナログ映像信号電圧、緑色アナログ映像信号電圧及び青色アナログ映像信号電圧を同時にサンプル・ホールドし、このサンプルホールド動作によってホールドされた奇数番目のドットごとの赤色アナログ映像信号電圧、緑色アナログ映像信号電圧及び青色アナログ映像信号電圧をデータ電圧として同時に奇数番目のドットにデータ電圧を供給するデータ線36₁、37₁、38₁、36₃、37₃、38₃・・・36_{2n-1}、37_{2n-1}、38_{2n-1}に出力するデータ線駆動回路である。

【0087】また、43は分割赤色アナログ映像信号RA2、RA4・・・RA2n、分割緑色アナログ映像信号GA2、GA4・・・GA2n及び分割青色アナログ映像信号BA2、BA4・・・BA2nを入力し、偶数番目のドットの赤色アナログ映像信号、緑色アナログ映像信号及び青色アナログ映像信号を1番目のドットの赤色アナログ映像信号、緑色アナログ映像信号及び青色アナログ映像信号から順にサンプルホールドした後、このサンプルホールド動作によってホールドされた偶数番目のドットごとの赤色アナログ映像信号電圧、緑色アナログ映像信号電圧及び青色アナログ映像信号電圧のそれを同時にサンプル・ホールドし、このサンプルホールド動作によってホールドされた偶数番目のドットごとの赤色アナログ映像信号電圧、緑色アナログ映像信号電圧及び青色アナログ映像信号電圧をデータ電圧として同時に偶数番目のドットにデータ電圧を供給するデータ線36₂、37₂、38₂、36₄、37₄、38₄・・・36_{2n}、37_{2n}、38_{2n}に出力するデータ線駆動回路である。

【0088】第3の発明・・図3

図3は本発明中、第3の発明の原理説明図であり、第3の発明によるアクティブマトリクス型容量性表示装置は、図3に示す部分を含んで構成されているものである。

【0089】なお、この第3の発明は、例えば、片側駆動方式（アクティブマトリクス型液晶表示パネルの上側又は下側にデータドライバICを配列して片側からデータ線を駆動する方式）の直視型あるいは投写型の単色表示のアクティブマトリクス型液晶表示装置又は片側駆動方式の投写型のカラー表示のアクティブマトリクス型液晶表示装置に適用されるものである。

【0090】ここに、44はデータ電圧を供給するための複数のデータ線45₁、45₂・・・45_{2n}と、ゲート電圧を供給するための複数のゲート線とをマトリクス状に配線し、データ線45₁、45₂・・・45_{2n}とゲート

41

線とが交差する部分ごとに、画素電極と、一端をデータ線に接続され、他端を画素電極に接続され、ゲート電圧によって導通、非導通が制御されるスイッチング素子とを形成してなる第1の基板と、全面素に共通に使用される共通電極を形成してなる第2の基板とを対向させ、これら第1の基板と第2の基板との間に、印加される電圧の大小によって所定の光学的性質を変化させる容量性材料を封止し、データ線4 9₁、5 0₁、5 1₁、4 9₂、5 0₂、5 1₂・・・4 9_{2n}、5 0_{2n}、5 1_{2n}に対しても一方の端部側からデータ電圧が供給されるカラー表示用のアクティブマトリクス型容量性表示パネルである。

【0091】また、4 6はアナログ映像信号Aを1水平ラインごとに1番目、n+1番目、2n+1番目・・・の画素（但し、n=2以上の整数）のアナログ映像信号からなる分割アナログ映像信号A1と、2番目、n+2番目、2n+2番目・・・の画素のアナログ映像信号からなる分割アナログ映像信号A2と、・・・、n番目、n+n番目、2n+n番目・・・の画素のアナログ映像信号からなる分割アナログ映像信号Anとに分割し、これら分割アナログ映像信号A1、A2・・・Anを1/n周期ずつ位相をずらして出力する分割アナログ映像信号作成回路である。

【0092】また、4 7は分割アナログ映像信号A1、A2・・・Anを入力し、各画素のアナログ映像信号を1番目の画素のアナログ映像信号から順にサンプルホールドした後、このサンプルホールド動作によってホールドされた各画素ごとのアナログ映像信号電圧のそれぞれを同時にサンプルホールドし、このサンプルホールド動作によってホールドされた分割アナログ映像信号電圧をデータ電圧として同時にデータ線4 9₁、4 9₂・・・4 9_{2n}に出力するデータ線駆動回路である。

【0093】第4の発明・図4

図4は本発明中、第4の発明の原理説明図であり、第4の発明によるアクティブマトリクス型容量性表示装置は、図4に示す部分を含んで構成されているものである。

【0094】なお、この第4の発明は、例えば、片側駆動方式の直視型のカラー表示のアクティブマトリクス型液晶表示装置に適用されるものである。

【0095】ここに、4 8はデータ電圧を供給するための複数のデータ線4 9₁、5 0₁、5 1₁、4 9₂、5 0₂、5 1₂・・・4 9_{2n}、5 0_{2n}、5 1_{2n}と、ゲート電圧を供給するための複数のゲート線とをマトリクス状に配線し、データ線4 9₁、5 0₁、5 1₁、4 9₂、5 0₂、5 1₂・・・4 9_{2n}、5 0_{2n}、5 1_{2n}とゲート線とが交差する部分ごとに、画素電極と、一端をデータ線に接続され、他端を画素電極に接続され、ゲート電圧によって導通、非導通が制御されるスイッチング素子とを形成してなる第1の基板と、全面素に共通に使用される共通電極を形成してなる第2の基板とを対向させ、これら第1の基板と第2の基板との間に、印加される電圧の大

10 42

小によって所定の光学的性質を変化させる容量性材料を封止し、データ線4 9₁、5 0₁、5 1₁、4 9₂、5 0₂、5 1₂・・・4 9_{2n}、5 0_{2n}、5 1_{2n}に対して一方の端部側からデータ電圧が供給されるカラー表示用のアクティブマトリクス型容量性表示パネルである。

【0096】なお、データ線4 9₁、5 0₁、5 1₁、4 9₂、5 0₂、5 1₂・・・4 9_{2n}、5 0_{2n}、5 1_{2n}のうち、データ線4 9₁、4 9₂・・・4 9_{2n}は、例えば、赤色のデータ電圧を供給するために使用され、データ線5 0₁、5 0₂・・・5 0_{2n}は、例えば、緑色のデータ電圧を供給するために使用され、データ線5 1₁、5 1₂・・・5 1_{2n}は、例えば、青色のデータ電圧を供給するために使用される。

【0097】また、5 2は赤色アナログ映像信号RAを1水平ラインごとに1番目、n+1番目、2n+1番目・・・のドット（但し、n=2以上の整数）の赤色アナログ映像信号からなる分割赤色アナログ映像信号RA1と、2番目、n+2番目、2n+2番目・・・のドットの赤色アナログ映像信号からなる分割赤色アナログ映像信号RA2と、・・・、n番目、n+n番目、2n+n番目・・・のドットの赤色アナログ映像信号からなる分割赤色アナログ映像信号RA nとに分割し、これら分割赤色アナログ映像信号RA1、RA2・・・RA nを1/n周期ずつ位相をずらして出力する分割赤色アナログ映像信号作成回路である。

【0098】また、5 3は緑色アナログ映像信号GAを1水平ラインごとに1番目、n+1番目、2n+1番目・・・のドットの緑色アナログ映像信号からなる分割緑色アナログ映像信号GA1と、2番目、n+2番目、2n+2番目・・・のドットの緑色アナログ映像信号からなる分割緑色アナログ映像信号GA2と、・・・、n番目、n+n番目、2n+n番目・・・のドットの緑色アナログ映像信号GA nとに分割し、これら分割緑色アナログ映像信号GA 1、GA 2・・・GA nを1/n周期ずつ位相をずらして出力する分割緑色アナログ映像信号作成回路である。

【0099】また、5 4は青色アナログ映像信号BAを1水平ラインごとに1番目、n+1番目、2n+1番目・・・のドットの青色アナログ映像信号からなる分割青色アナログ映像信号BA1と、2番目、n+2番目、2n+2番目・・・のドットの青色アナログ映像信号からなる分割青色アナログ映像信号BA2と、・・・、n番目、n+n番目、2n+n番目・・・のドットの青色アナログ映像信号からなる分割青色アナログ映像信号BA nとに分割し、これら分割青色アナログ映像信号BA 1、BA 2・・・BA nを1/n周期ずつ位相をずらして出力する分割青色アナログ映像信号作成回路である。

【0100】また、5 5は分割赤色アナログ映像信号RA 1、RA 2・・・RA n、分割緑色アナログ映像信号GA 1、GA 2・・・GA n及び分割青色アナログ映像

43

信号BA1、BA2・・・BAnを入力し、各ドットの赤色アナログ映像信号、緑色アナログ映像信号及び青色アナログ映像信号を1番目のドットの赤色アナログ映像信号、緑色アナログ映像信号及び青色アナログ映像信号から順にサンプルホールドした後、このサンプルホールド動作によってホールドされた各ドットごとの赤色アナログ映像信号電圧、緑色アナログ映像信号電圧及び青色アナログ映像信号電圧のそれぞれを同時にサンプル・ホールドし、このサンプルホールド動作によってホールドされた各ドットごとの赤色アナログ映像信号電圧、緑色アナログ映像信号電圧及び青色アナログ映像信号電圧をデータ電圧として同時にデータ線49₁、50₁、51₁、49₂、50₂、51₂・・・49_n、50_n、51_nに出力するデータ線駆動回路である。

【0101】

【作用】

第1の発明・・図1

第1の発明においては、分割アナログ映像信号A1、A3・・・A2n-1は、1/n周期ずつ位相をずらしてアクティブマトリクス型容量性表示パネル30に供給されるので、これら分割アナログ映像信号A1、A3・・・A2n-1に必要な表示期間は、アナログ映像信号Aの表示期間よりも、最大でも、分割アナログ映像信号A1～A2nの周期の(n-1)/nだけ長くなるにすぎない。

【0102】また、分割アナログ映像信号A2、A4・・・A2nは、分割アナログ映像信号A2の位相と分割アナログ映像信号A1の位相とが一致するように、1/n周期ずつ位相をずらして出力されるので、これら分割アナログ映像信号A2、A4・・・A2nに必要な表示期間も、アナログ映像信号Aの表示期間よりも、最大でも、分割アナログ映像信号A1～A2nの周期の(n-1)/nだけ長くなるにすぎない。

【0103】したがって、この第1の発明によれば、例えば、両側駆動方式の直視型あるいは投写型の単色表示のアクティブマトリクス型液晶表示装置又は両側駆動方式の投写型のカラー表示のアクティブマトリクス型液晶表示装置について、アナログ映像信号を分割し、データ線の並列駆動を行う場合であっても、非表示期間を大幅に減らすことなく、高精細な表示を行うことができる。

【0104】第2の発明・・図2

第2の発明においては、分割赤色アナログ映像信号RA1、RA3・・・RA2n-1を1/n周期ずつ位相をずらしてアクティブマトリクス型容量性表示パネル35に供給されるので、これら分割赤色アナログ映像信号RA1、RA3・・・RA2n-1に必要な表示期間は、赤色アナログ映像信号RAの表示期間よりも、最大でも、分割赤色アナログ映像信号RA1～RA2nの周期の(n-1)/nだけ長くなるにすぎない。

44

【0105】また、分割赤色アナログ映像信号RA2、RA4・・・RA2nは、分割赤色アナログ映像信号RA2の位相と分割赤色アナログ映像信号RA1の位相とが一致するように、1/n周期ずつ位相をずらして出力されるので、これら分割赤色アナログ映像信号RA2、RA4・・・RA2nに必要な表示期間も、赤色アナログ映像信号RAの表示期間よりも、最大でも、分割赤色アナログ映像信号RA1～RA2nの周期の(n-1)/nだけ長くなるにすぎない。

【0106】分割緑色アナログ映像信号GA1～GA2n及び分割青色アナログ映像信号BA1～BA2nについても、同様のことが言える。

【0107】したがって、この第2の発明によれば、例えば、両側駆動方式の直視型のカラー表示のアクティブマトリクス型液晶表示装置について、アナログ映像信号を分割し、データ線の並列駆動を行う場合であっても、非表示期間を大幅に減らすことなく、高精細な表示を行なうことができる。

【0108】第3の発明・・図3

第3の発明においては、分割アナログ映像信号A1、A2・・・Anは、アクティブマトリクス型容量性表示パネル44に1/n周期ずつ位相をずらして供給されるので、これら分割アナログ映像信号A1、A2・・・Anに必要な表示期間は、アナログ映像信号Aの表示期間よりも、最大でも、分割アナログ映像信号A1～Anの周期の(n-1)/nだけ長くなるにすぎない。

【0109】したがって、この第3の発明によれば、例えば、片側駆動方式の直視型あるいは投写型の単色表示のアクティブマトリクス型液晶表示装置又は片側駆動方式の投写型のカラー表示のアクティブマトリクス型液晶表示装置について、アナログ映像信号を分割し、データ線の並列駆動を行う場合であっても、非表示期間を大幅に減らすことなく、高精細な表示を行なうことができる。

【0110】第4の発明・・図4

第4の発明においては、分割赤色アナログ映像信号RA1、RA2・・・RAnは、アクティブマトリクス型容量性表示パネル48に1/n周期ずつ位相をずらして供給されるので、これら分割赤色アナログ映像信号RA1、RA2・・・RAnに必要な表示期間は、赤色アナログ映像信号RAの表示期間よりも、最大でも、分割赤色アナログ映像信号RA1～RAnの周期の(n-1)/nだけ長くなるにすぎない。

【0111】分割緑色アナログ映像信号GA1～GAn及び分割青色アナログ映像信号BA1～BAnについても、同様のことが言える。

【0112】したがって、この第4の発明によれば、例えば、片側駆動方式の直視型のカラー表示のアクティブマトリクス型液晶表示装置について、アナログ映像信号を分割し、データ線の並列駆動を行う場合であっても、

50

45

非表示期間を大幅に減らすことではなく、高精細な表示を行なうことができる。

【0113】

【実施例】以下、図5～図26を参照して、本発明の第1実施例～第3実施例について、本発明をアクティブマトリクス型液晶表示装置に適用した場合を例にして説明する。

【0114】第1実施例・図5～図11

図5は本発明の第1実施例の要部を示す図であり、この第1実施例は、ドット密度を 1024×768 とする投写型のカラー表示のアクティブマトリクス型液晶表示装置に本発明を適用したものである。

【0115】ここに、図5は赤色用のアクティブマトリクス型液晶表示パネル及びその周辺回路部分を示しており、緑色用及び青色用のアクティブマトリクス型液晶表示パネル及びその周辺回路部分も同様に構成されている。

【0116】この第1実施例は、図27に示す画素密度を 1024×768 とする赤色用のアクティブマトリクス型液晶表示パネル1を備えて構成されており、2:～24:、2₂₈₈:～2₃₈₈:、2₇₆₈:～2₇₇₂:、2₁₀₂₃:、2₁₀₂₄:は、前述したように 1024 本のデータ線の一部を示している。

【0117】また、5₆₁:～5₆₆:はデータ線駆動回路を構成する出力数を192chとする同一回路構成のデータドライバICである。

【0118】また、RA1は、水平ライン上、1番目、5番目、9番目・・・1021番目の赤色アナログ映像信号からなる分割赤色アナログ映像信号、RA3は、水平ライン上、3番目、7番目、11番目・・・1023番目の赤色アナログ映像信号からなる分割赤色アナログ映像信号である。

【0119】また、RA2は、水平ライン上、2番目、6番目、10番目・・・1022番目の赤色アナログ映像信号からなる分割赤色アナログ映像信号、RA4は、水平ライン上、4番目、8番目、12番目・・・1024番目の赤色アナログ映像信号からなる分割赤色アナログ映像信号である。

【0120】ここに、データドライバIC561:～566:は、アクティブマトリクス型液晶表示パネル1の上側に配置され、奇数番目のデータ線2₁:、2₃:・・・2₁₀₂₃:を駆動するようになっている。

【0121】より詳しくは、データドライバIC561:はデータ線2₁:、2₃:・・・2₃₈₈:を駆動し、データドライバIC562:はデータ線2₃₈₉:、2₃₉₁:・・・2₇₆₇:を駆動し、データドライバIC563:はデータ線2₇₆₈:、2₇₇₀:・・・2₁₀₂₃:を駆動するようになっている。

【0122】また、データドライバIC564:～566:は、アクティブマトリクス型液晶表示パネル1の下側に配置され、偶数番目のデータ線2₂:、2₄:・・・2₁₀₂₄:を駆動するようになっている。

46

を駆動するようになっている。

【0123】より詳しくは、データドライバIC564:はデータ線2₂:、2₄:・・・2₃₈₄:を駆動し、データドライバIC565:はデータ線2₃₈₅:、2₃₈₆:・・・2₇₆₈:を駆動し、データドライバIC566:はデータ線2₇₆₉:、2₇₇₁:・・・2₁₀₂₄:を駆動するようになっている。

【0124】ここに、図6は、データドライバIC561:の回路構成を示すブロック図であり、図中、57はスタートパルスSIを40MHzのシフトレジスタ用クロックパルスCLKに同期させてシフトし、シフトレジスタ用クロックパルスCLKの周期の2倍の長さのパルス幅を有するサンプリングパルスSP1、SP2・・・SP192を順に出力するサンプリングパルス発生回路、S0はデータドライバIC561:から出力されデータドライバIC562:に伝送されるスタートパルスである。

【0125】また、58はサンプリングパルス発生回路57から出力されるサンプリングパルスSP1、SP2・・・SP192に同期させて分割赤色アナログ映像信号RA1、RA3をサンプルホールドするサンプルホールド回路群である。

【0126】また、59はサンプルホールド回路群58にホールドされた赤色アナログ映像信号電圧のそれぞれを転送タイミングパルスLEに同期させて同時にサンプルホールドするサンプルホールド回路群である。

【0127】また、60はサンプルホールド回路群59にホールドされた赤色アナログ映像信号電圧をデータ電圧としてデータ線2₁:、2₃:・・・2₃₈₈:に出力する出力パッファ回路群である。

【0128】このデータドライバIC561:は、より詳しくは、図7にその一部分を示すように構成されている。

【0129】図7中、サンプリングパルス発生回路57において、61はスタートパルスSIをシフトレジスタ用クロックパルスCLKに同期させてシフトする直列入力・並直列出力型のシフトレジスタである。

【0130】また、62₁、62₂、62₃、62₄、62₁₉₂はシフトレジスタ61から出力されるスタートパルスSIをシフトしてなるパルスQ1、Q2、Q3、Q4、Q192をレベルシフトしてサンプリングパルスSP1:、SP2:、SP3:、SP4:、SP192を生成するレベルシフタである。

【0131】また、63は分割赤色アナログ映像信号RA1を伝送する分割赤色アナログ映像信号線、64は分割赤色アナログ映像信号RA3を伝送する分割赤色アナログ映像信号線である。

【0132】また、サンプルホールド回路群58において、65₁、65₂、65₃、65₄、65₁₉₂はサンプルホールド回路であり、66₁、66₂、66₃、66₄、66₁₉₂はサンプリングパルスSP1:、SP2:、SP3:、SP4:、SP192により導通、非導通が制御されるサ

47

ンプリング用のスイッチ素子、67₁、67₂、67₃、67₄、67₅はホールド用のコンデンサである。

【0133】ここに、分割赤色アナログ映像信号線63は、奇数番目のスイッチ素子65₁、65₃、65₅に接続され、分割赤色アナログ映像信号線64は、偶数番目のスイッチ素子65₂、65₄、65₆に接続されている。

【0134】また、サンプルホールド回路群59において、68₁、68₂、68₃、68₄、68₁₉₂はサンプルホールド回路であり、69₁、69₂、69₃、69₄、69₁₉₂はパッファ回路をなすオペアンプである。

【0135】また、70₁、70₂、70₃、70₄、70₁₉₂は転送タイミングパルスLEにより導通、非導通が制御されるサンプリング用のスイッチ素子、71₁、71₂、71₃、71₄、71₁₉₂はホールド用のコンデンサである。

【0136】また、出力パッファ回路群60において、72₁、72₂、72₃、72₄、72₁₉₂は出力パッファ回路を構成するオペアンプである。

【0137】また、図5において、73は赤色アナログ映像信号RAを分割し、1水平ラインごとに分割赤色アナログ映像信号RA1～RA4を作成する分割赤色アナログ映像信号作成回路である。

【0138】この分割赤色アナログ映像信号作成回路73は、図8に示すように構成されており、図8中、74は赤色アナログ映像信号RAを8ビットの赤色デジタル映像信号RDに変換するA/D変換回路である。

【0139】また、75は赤色デジタル映像信号RDを水平ライン上、1番目、3番目…1023番目の画素の赤色デジタル映像信号からなる分割赤色デジタル映像信号RD1と、水平ライン上、2番目、4番目…1024番目の赤色デジタル映像信号からなる分割赤色デジタル映像信号RD2とに分割して、これら分割赤色デジタル映像信号RD1、RD2を同一位相で出力する分割回路である。

【0140】また、76は分割赤色デジタル映像信号RD1を水平ライン上、1番目、5番目…1021番目の赤色デジタル映像信号からなる分割赤色デジタル映像信号RD3と、水平ライン上、3番目、7番目…1023番目の赤色デジタル映像信号からなる分割赤色デジタル映像信号RD4とに分割し、これら分割赤色デジタル映像信号RD3、RD4を同一位相で出力する分割回路である。

【0141】また、77は分割赤色デジタル映像信号RD4を遅延し、分割赤色デジタル映像信号RD4を分割赤色デジタル映像信号RD3に対して1/2周期だけ遅延させてなる分割赤色デジタル映像信号RD5を出力する遅延回路である。

【0142】また、78は分割赤色デジタル映像信号RD2を水平ライン上、2番目、6番目…1022番目の赤色デジタル映像信号からなる分割赤色デジタル映

10

20

30

40

50

48

像信号RD6と、水平ライン上、4番目、8番目…1024番目の赤色デジタル映像信号からなる分割赤色デジタル映像信号RD7とに分割し、これら分割赤色デジタル映像信号RD6、RD7を同一位相で出力する分割回路である。

【0143】また、79は分割赤色デジタル映像信号RD7を遅延し、分割赤色デジタル映像信号RD7を分割赤色デジタル映像信号RD6に対して1/2周期だけ遅延させてなる分割赤色デジタル映像信号RD8を出力する遅延回路である。

【0144】また、80は分割赤色デジタル映像信号RD3、RD5、RD6、RD8をそれぞれアナログ変換し、水平ライン上、1番目、5番目…1021番目の赤色アナログ映像信号からなる分割赤色アナログ映像信号RA1と、水平ライン上、3番目、7番目…1023番目の赤色アナログ映像信号からなる分割赤色アナログ映像信号RA3と、水平ライン上、2番目、6番目…1022番目の赤色アナログ映像信号からなる分割赤色アナログ映像信号RA2と、水平ライン上、4番目、8番目…1024番目の赤色アナログ映像信号からなる分割赤色アナログ映像信号RA4とを出力するD/A変換回路である。

【0145】なお、分割赤色アナログ映像信号RA1、RA3はデータドライバIC56₁、56₂、56₃に供給され、分割赤色アナログ映像信号RA2、RA4はデータドライバIC56₄、56₅、56₆に供給される。

【0146】ここに、図9は、この分割赤色アナログ映像信号作成回路73の動作を説明するためのタイムチャートであり、図9Aは56.6KHzの水平同期信号Hsyncを示しており、この第1実施例においては、1水平走査期間TA=17.6μsとされている。

【0147】また、図9Bは75MHz、1024画素の1水平ライン分の赤色アナログ映像信号RA、図9Cは赤色デジタル映像信号RD、図9Dは分割赤色デジタル映像信号RD1、図9Eは分割赤色デジタル映像信号RD2を示している。

【0148】また、図9Fは分割赤色デジタル映像信号RD3、図9Gは分割赤色デジタル映像信号RD4、図9Hは分割赤色デジタル映像信号RD5、図9Iは分割赤色デジタル映像信号RD6、図9Jは分割赤色デジタル映像信号RD7、図9Kは分割赤色デジタル映像信号RD8を示している。

【0149】また、図9Lは分割赤色アナログ映像信号RA1、図9Mは分割赤色アナログ映像信号RA3、図9Nは分割赤色アナログ映像信号RA2、図9Oは分割赤色アナログ映像信号RA4、図9Pは転送タイミングパルスLEを示している。

【0150】なお、この図9においては、赤色アナログ映像信号RA、赤色デジタル映像信号RD、分割赤色デジタル映像信号RD1～RD8、分割赤色アナログ映像

信号RA1～RA4は、水平同期信号H_{Sync}に対する相対的位置を示しており、その全てについて、時間軸を一致させるものではない。

【0151】ここに、分割赤色アナログ映像信号作成回路73においては、図9Bに示すような75MHz、1024画素の赤色アナログ映像信号RAが入力されると、A/D変換回路74からは、図9Cに示すように、75MHzの赤色デジタル映像信号RDが送出され、これが分割回路75に伝送される。

【0152】ここに、赤色アナログ映像信号RAの表示期間TBは、 $(1/75 \times 10^6) \times 1024 = 13.6 \times 10^{-6} = 13.6 \mu s$ であるから、赤色デジタル映像信号RDの表示期間も、 $13.6 \mu s$ となる。

【0153】分割回路75においては、赤色デジタル映像信号RDが分割され、分割回路75からは、図9Dに示すように、水平ライン上、1番目、3番目・・・1023番目の画素の赤色デジタル映像信号からなる分割赤色デジタル映像信号RD1と、図9Eに示すように、水平ライン上、2番目、4番目・・・1024番目の画素の赤色デジタル映像信号からなる分割赤色デジタル映像信号RD2とが送出され、分割赤色デジタル映像信号RD1は分割回路76に伝送され、分割赤色デジタル映像信号RD2は分割回路78に伝送される。

【0154】ここに、分割赤色デジタル映像信号RD1、RD2は、赤色デジタル映像信号RDを2分割してなるものであるから、分割赤色デジタル映像信号RD1、RD2の表示期間は、 $(13.6 \mu s / 1024) \times 2 \times 512 = 13.6 \mu s$ となる。

【0155】分割回路76においては、赤色デジタル映像信号RD1が分割され、分割回路76からは、図9Fに示すように、水平ライン上、1番目、5番目・・・1021番目の画素の赤色デジタル映像信号からなる分割赤色デジタル映像信号RD3と、図9Gに示すように、水平ライン上、3番目、7番目・・・1023番目の画素の赤色デジタル映像信号からなる分割赤色デジタル映像信号RD4とが送出され、分割赤色デジタル映像信号RD3はD/A変換回路80に伝送され、分割赤色デジタル映像信号RD4は遅延回路77に伝送される。

【0156】遅延回路77からは、図9Hに示すように、分割赤色デジタル映像信号RD4を1/2周期だけ遅延させてなる分割赤色デジタル映像信号RD5が送出され、これがD/A変換回路80に伝送される。

【0157】ここに、分割赤色デジタル映像信号RD3、RD4は、512画素の赤色デジタル映像信号RD1を256画素、256画素となるように2分割してなるものであるから、分割赤色デジタル映像信号RD3、RD4の表示期間は、 $(13.6 \mu s / 512) \times 2 \times 256 = 13.6 \mu s$ となる。

【0158】分割回路78においては、赤色デジタル映像信号RD2が分割され、図9Iに示すように、水平ラ

イン上、2番目、6番目・・・1022番目の画素の赤色デジタル映像信号からなる分割赤色デジタル映像信号RD6と、図9Jに示すように、水平ライン上、4番目、8番目・・・1024番目の画素の赤色デジタル映像信号からなる分割赤色デジタル映像信号RD7とが送出され、分割赤色デジタル映像信号RD6はD/A変換回路80に伝送され、分割赤色デジタル映像信号RD7は遅延回路79に伝送される。

【0159】遅延回路79からは、図9Kに示すように、分割赤色デジタル映像信号RD7を1/2周期だけ遅延させてなる分割赤色デジタル映像信号RD8が送出され、これがD/A変換回路80に伝送される。

【0160】ここに、分割赤色デジタル映像信号RD6、RD7は、512画素の赤色デジタル映像信号RD2を256画素、256画素となるように2分割してなるものであるから、分割赤色デジタル映像信号RD6、RD7の表示期間は $(13.6 \mu s / 512) \times 2 \times 256 = 13.6 \mu s$ となる。

【0161】D/A変換回路80からは、図9L～図9Oに示すように、分割赤色デジタル映像信号RD3、RD5、RD6、RD8がアナログ信号化されてなる分割赤色アナログ映像信号RA1、RA3、RA2、RA4が送出され、分割赤色アナログ映像信号RA1、RA3は、データドライバIC561、562、563に伝送され、分割赤色アナログ映像信号RA2、RA4は、データドライバIC564、565、566に伝送される。

【0162】ここに、図10はデータドライバIC561の動作を示すタイムチャートであり、図10Aは40MHzのシフトレジスタ用クロックパルスCLK、図10Bはシフトレジスタ用クロックパルスCLKの周期の2倍のパルス幅(Hレベル幅)を有するスタートパルスSIを示している。

【0163】また、図10CはサンプリングパルスSP1、図10DはサンプリングパルスSP2、図10EはサンプリングパルスSP3、図10FはサンプリングパルスSP4、図10GはサンプリングパルスSP191、図10HはサンプリングパルスSP192を示している。

【0164】また、図10Iは分割赤色アナログ映像信号RA1、図10Jは分割赤色アナログ映像信号RA3を示している。

【0165】即ち、データドライバIC561においては、サンプリングパルス発生回路57にスタートパルスSIが供給されると、このスタートパルスSIがシフトレジスタ用クロックパルスCLKの立ち上がりのタイミングでラッチされ、シフトレジスタ用クロックパルスCLKに同期したサンプリングパルスSP1、SP2・・・SP192が順に出力される。

【0166】そして、これらサンプリングパルスSP1、SP2・・・SP192が順にスイッチ素子6

6₁、6₆、…6₆₁₉₂に供給され、分割赤色アナログ映像信号RA1、RA3が1/2周期ずらして繰り返してサンプルホールドされ、水平ライン上、1番目、3番目…383番目の画素の赤色アナログ映像信号電圧がコンデンサ67₁、67₂…67₁₉₂にサンプルホールドされる。

【0167】また、データドライバIC56₁においては、データドライバIC56₁からスタートパルスSI(SO)が供給されると、このスタートパルスSIがシフトレジスタ用クロックパルスCLKの立ち上がりのタイミングでラッチされ、シフトレジスタ用クロックパルスCLKに同期したサンプリングパルスSP1、SP2…SP192に該当するサンプリングパルスが順に出力される。

【0168】そして、これらサンプリングパルスSP1、SP2…SP192に該当するサンプリングパルスが順にスイッチ素子66₁、66₂…66₁₉₂に該当するスイッチ素子に供給され、分割赤色アナログ映像信号RA1、RA3が1/2周期ずらして繰り返してサンプルホールドされ、水平ライン上、385番目、387番目…767番目の画素の赤色アナログ映像信号電圧がコンデンサ67₁、67₂…67₁₉₂に該当するコンデンサにサンプルホールドされる。

【0169】また、データドライバIC56₃においては、データドライバIC56₃からスタートパルスSI(SO)が供給されると、このスタートパルスSIがシフトレジスタ用クロックパルスCLKの立ち上がりのタイミングでラッチされ、シフトレジスタ用クロックパルスCLKに同期したサンプリングパルスSP1、SP2…SP192に該当するサンプリングパルスが順に出力される。

【0170】そして、これらサンプリングパルスSP1、SP2…SP192に該当するサンプリングパルスが順にスイッチ素子66₁、66₂…66₁₉₂に該当するスイッチ素子に供給され、分割赤色アナログ映像信号RA1、RA3が1/2周期ずらして繰り返してサンプルホールドされ、水平ライン上、769番目、771番目…1023番目の画素の赤色アナログ映像信号電圧がコンデンサ67₁、67₂…67₁₉₂（図示せず）に該当するコンデンサにサンプルホールドされる。

【0171】また、データドライバIC56₄においては、スタートパルスSIが供給されると、このスタートパルスSIがシフトレジスタ用クロックパルスCLKの立ち上がりのタイミングでラッチされ、シフトレジスタ用クロックパルスCLKに同期したサンプリングパルスSP1、SP2…SP192に該当するサンプリングパルスが順に出力される。

【0172】そして、これらサンプリングパルスSP1、SP2…SP192に該当するサンプリングパ

ルスが順にスイッチ素子66₁、66₂…66₁₉₂に該当するスイッチ素子に供給され、分割赤色アナログ映像信号RA2、RA4が1/2周期ずらして繰り返してサンプルホールドされ、水平ライン上、2番目、4番目…384番目の画素の赤色アナログ映像信号電圧がコンデンサ67₁、67₂…67₁₉₂に該当するコンデンサにサンプルホールドされる。

【0173】また、データドライバIC56₄においては、データドライバIC56₄からスタートパルスSI(SO)が供給されると、このスタートパルスSIがシフトレジスタ用クロックパルスCLKの立ち上がりのタイミングでラッチされ、シフトレジスタ用クロックパルスCLKに同期したサンプリングパルスSP1、SP2…SP192に該当するサンプリングパルスが順に出力される。

【0174】そして、これらサンプリングパルスSP1、SP2…SP192に該当するサンプリングパルスが順にスイッチ素子66₁、66₂…66₁₉₂に該当するスイッチ素子に供給され、分割赤色アナログ映像信号RA2、RA4が1/2周期ずらして繰り返してサンプルホールドされ、水平ライン上、386番目、388番目…768番目の画素の赤色アナログ映像信号電圧がコンデンサ67₁、67₂…67₁₉₂に該当するコンデンサにサンプルホールドされる。

【0175】また、データドライバIC56₅においては、データドライバIC56₅からスタートパルスSI(SO)が供給されると、このスタートパルスSIがシフトレジスタ用クロックパルスCLKの立ち上がりのタイミングでラッチされ、シフトレジスタ用クロックパルスCLKに同期したサンプリングパルスSP1、SP2…SP192に該当するサンプリングパルスが順に出力される。

【0176】そして、これらサンプリングパルスSP1、SP2…SP192に該当するサンプリングパルスが順にスイッチ素子66₁、66₂…66₁₉₂に該当するスイッチ素子に供給され、分割赤色アナログ映像信号RA2、RA4が1/2周期ずらして繰り返してサンプルホールドされ、水平ライン上、770番目、772番目…1024番目の画素の赤色アナログ映像信号ごとにコンデンサ67₁、67₂…67₁₉₂（図示せず）に該当するコンデンサにサンプルホールドされる。

【0177】次に、転送タイミングパルスL=Hレベルとされ、データドライバIC56₅においては、スイッチ素子70₁、70₂…70₁₉₂が同時に導通状態とされ、コンデンサ67₁、67₂…67₁₉₂にホールドされている水平ライン上、1番目、3番目…383番目の画素の赤色アナログ映像信号電圧がコンデンサ71₁、71₂…71₁₉₂にサンプルホールドされる。

【0178】また、データドライバIC56₂においては、スイッチ素子70₁、70₂・・・70₁₉₂に該当するスイッチ素子が同時に導通とされ、コンデンサ67₁、67₂・・・67₁₉₂に該当するコンデンサにホールドされている水平ライン上、385番目、387番目・・・767番目の画素の赤色アナログ映像信号電圧がコンデンサ71₁、71₂・・・71₁₉₂に該当するコンデンサにサンプルホールドされる。

【0179】また、データドライバIC56₃においては、スイッチ素子70₁、70₂・・・70₁₉₂に該当するスイッチ素子が同時に導通とされ、コンデンサ67₁、67₂・・・67₁₉₂(図示せず)に該当するコンデンサにホールドされている水平ライン上、769番目、771番目・・・1023番目の画素の赤色アナログ映像信号電圧がコンデンサ71₁、71₂・・・71₁₉₂(図示せず)に該当するコンデンサにサンプルホールドされる。

【0180】また、データドライバIC56₄においては、スイッチ素子70₁、70₂・・・70₁₉₂に該当するスイッチ素子が同時に導通とされ、コンデンサ67₁、67₂・・・67₁₉₂に該当するコンデンサにホールドされている水平ライン上、2番目、4番目・・・384番目の画素の赤色アナログ映像信号電圧がコンデンサ71₁、71₂・・・71₁₉₂に該当するコンデンサにサンプルホールドされる。

【0181】また、データドライバIC56₅においては、スイッチ素子70₁、70₂・・・70₁₉₂に該当するスイッチ素子が同時に導通とされ、コンデンサ67₁、67₂・・・67₁₉₂に該当するコンデンサにホールドされている水平ライン上、386番目、388番目・・・768番目の画素の赤色アナログ映像信号電圧がコンデンサ71₁、71₂・・・71₁₉₂に該当するコンデンサにサンプルホールドされる。

【0182】また、データドライバIC56₆においては、スイッチ素子70₁、70₂・・・70₁₉₂に該当するスイッチ素子が同時に導通とされ、コンデンサ67₁、67₂・・・67₁₉₂(図示せず)に該当するコンデンサにホールドされている水平ライン上、770番目、772番目・・・1024番目の画素の赤色アナログ映像信号電圧がコンデンサ71₁、71₂・・・71₁₉₂(図示せず)に該当するコンデンサにサンプルホールドされる。

【0183】この結果、データドライバIC56₁においては、コンデンサ71₁、71₂・・・71₁₉₂にホールドされた水平ライン上、1番目、3番目・・・383番目の画素の赤色アナログ映像信号電圧がデータ電圧として、オペアンプ72₁、72₂・・・72₁₉₂を介してデータ線2₁、2₃・・・2₁₉₂に出力される。

【0184】また、データドライバIC56₂においては、コンデンサ71₁、71₂・・・71₁₉₂に該当する

コンデンサにホールドされた水平ライン上、385番目、387番目・・・767番目の画素の赤色アナログ映像信号電圧がデータ電圧として、オペアンプ72₁、72₂・・・72₁₉₂に該当するオペアンプを介してデータ線2₁₉₅、2₁₉₇・・・2₁₉₇に出力される。

【0185】また、データドライバIC56₃においては、コンデンサ71₁、71₂・・・71₁₉₂(図示せず)に該当するコンデンサにホールドされた水平ライン上、769番目、771番目・・・1023番目の画素の赤色アナログ映像信号電圧がデータ電圧として、オペアンプ72₁、72₂・・・72₁₉₂(図示せず)に該当するオペアンプを介してデータ線2₁₉₉、2₂₀₁・・・2₁₉₂₃に出力される。

【0186】また、データドライバIC56₄においては、コンデンサ71₁、71₂・・・71₁₉₂に該当するコンデンサにホールドされた水平ライン上、2番目、4番目・・・384番目の画素の赤色アナログ映像信号電圧がデータ電圧として、オペアンプ72₁、72₂・・・72₁₉₂を介してデータ線2₂、2₄・・・2₁₉₄に出力される。

【0187】また、データドライバIC56₅においては、コンデンサ71₁、71₂・・・71₁₉₂に該当するコンデンサにホールドされた水平ライン上、386番目、388番目・・・768番目の画素の赤色アナログ映像信号電圧がデータ電圧として、オペアンプ72₁、72₂・・・72₁₉₂を介してデータ線2₁₉₅、2₁₉₇・・・2₁₉₈に出力される。

【0188】また、データドライバIC56₆においては、コンデンサ71₁、71₂・・・71₁₉₂(図示せず)に該当するコンデンサにホールドされた水平ライン上、770番目、772番目・・・1024番目の画素の赤色アナログ映像信号電圧がデータ電圧として、オペアンプ72₁、72₂・・・72₁₉₂(図示せず)に該当するオペアンプを介してデータ線2₁₉₉、2₂₀₁・・・2₁₉₂₄に出力される。

【0189】このように、この第1実施例においては、75MHzの赤色アナログ映像信号RAを、水平ライン上、1番目、5番目・・・1021番目の画素の赤色アナログ映像信号RA1と、水平ライン上、3番目、7番目・・・1023番目の画素の赤色アナログ映像信号RA3と、水平ライン上、2番目、6番目・・・1022番目の画素の赤色アナログ映像信号RA2と、水平ライン上、4番目、8番目・・・1024番目の画素の赤色アナログ映像信号RA4とに4分割している。

【0190】そして、データドライバIC56₁～56₆においては、分割赤色アナログ映像信号RA1、RA3を1/2周期ずらして繰り返して1段目のサンプルホールド回路によってサンプルホールドし、このサンプルホールドによってホールドされた赤色アナログ映像信号電圧を2段目のサンプルホールド回路及び出力バッファ回

路を介してデータ線 $2_1, 2_3 \dots 2_{1024}$ に供給するようしている。

【0191】また、データドライバIC $56_1 \sim 56_4$ においては、分割赤色アナログ映像信号RA $2, RA_4$ を $1/2$ 周期ずらして繰り返して1段目のサンプルホールド回路によってサンプルホールドし、このサンプルホールドによってホールドされた赤色アナログ映像信号電圧を2段目のサンプルホールド回路及び出力バッファ回路を介してデータ線 $2_2, 2_4 \dots 2_{1024}$ に供給するようしている。

【0192】ここに、データドライバIC $56_1 \sim 56_4$ においては、シフトレジスタを従来の2倍の速度で動作させるようしているが、前述のように、分割赤色アナログ映像信号RA $1, RA_3$ は $1/2$ 周期ずらして繰り返してサンプルホールドされ、また、分割赤色アナログ映像信号RA $2, RA_4$ は $1/2$ 周期ずらして繰り返してサンプルホールドされるので、1段目のサンプルホールド回路におけるサンプリング時間として従来と同様の時間を確保することができる。

【0193】また、分割赤色アナログ映像信号RA $1, RA_3$ の位相のずれは $1/2$ 周期であるから、これら分割赤色アナログ映像信号RA $1, RA_3$ の合計の表示期間は、これら分割赤色アナログ映像信号RA $1, RA_3$ の周期の $1/2$ だけ長くなるにすぎない。

【0194】換言すれば、分割赤色アナログ映像信号RA $1, RA_3$ の合計の表示期間は、赤色アナログ映像信号RAの表示期間 $1.3, 6 \mu s$ よりも、赤色アナログ映像信号RAの周期の2倍、即ち、 $(1/(7.5 \times 10^6)) \times 2 = 0.0267 \times 10^6 = 0.0267 \mu s$ だけ長くなるにすぎない。

【0195】即ち、この第1実施例においては、赤色アナログ映像信号RAを4分割しているが、非表示期間の大幅な増加を招くことはなく、転送タイミングパルスLEの有効期間TLE(図9参照)を十分に長くすることができ、データドライバIC $56_1 \sim 56_4$ においては、2段目のサンプルホールド回路におけるサンプリング期間を十分に確保することができる。分割赤色アナログ映像信号RA $2, RA_4$ についても、同様である。

【0196】したがって、この第1実施例によれば、両側駆動方式の投写型のカラー表示のアクティマトリクス型液晶表示装置について、アナログ映像信号を4分割し、データ線の並列駆動を行う場合であっても、非表示期間を大幅に減らすことはなく、高精細な表示を行うことができる。

【0197】また、この第1実施例においては、図11に示すようなデータドライバICを使用することもできる。

【0198】このデータドライバICにおいては、分割赤色アナログ映像信号RA 1 を伝送するものとして、分割赤色アナログ映像信号線 $8_1, 8_2$ が設けられ、分割

赤色アナログ映像信号線 8_1 は、1番目、5番目 $\dots 189$ 番目のスイッチ素子 $6_{61}, 6_{62}$ (図示せず) $\dots 6_{619}$ (図示せず)に接続され、分割赤色アナログ映像信号線 8_2 は、3番目、7番目 $\dots 191$ 番目のスイッチ素子 $6_{63}, 6_{64}$ (図示せず) $\dots 6_{619}$ (図示せず)に接続されている。

【0199】また、分割赤色アナログ映像信号RA 3 を伝送するものとして、分割赤色アナログ映像信号線 $8_3, 8_4$ が設けられ、分割赤色アナログ映像信号線 8_3 は、2番目、6番目 $\dots 190$ 番目のスイッチ素子 $6_{65}, 6_{66}$ (図示せず) $\dots 6_{619}$ (図示せず)に接続され、分割赤色アナログ映像信号線 8_4 は、4番目、8番目 $\dots 192$ 番目のスイッチ素子 $6_{64}, 6_{68}$ (図示せず) $\dots 6_{619}$ に接続されている。その他については、図7に示すデータドライバICと同様に構成されている。

【0200】このデータドライバICにおいては、分割赤色アナログ映像信号RA 1 は、1番目、3番目 $\dots 191$ 番目のサンプルホールド回路 $6_{51}, 6_{52} \dots 6_{519}$ で順にサンプルホールドされるが、1番目、5番目 $\dots 189$ 番目のサンプルホールド回路 $6_{51}, 6_{52} \dots 6_{519}$ でサンプルホールドが行われる場合には、分割赤色アナログ映像信号線 8_1 を介して、これら1番目、5番目 $\dots 189$ 番目のサンプルホールド回路 $6_{51}, 6_{52} \dots 6_{519}$ に充電電流が流れ込み、3番目、7番目 $\dots 191$ 番目のサンプルホールド回路 $6_{53}, 6_{54} \dots 6_{519}$ でサンプルホールドが行われる場合には、分割赤色アナログ映像信号線 8_2 を介して、これら3番目、7番目 $\dots 191$ 番目のサンプルホールド回路 $6_{53}, 6_{54} \dots 6_{519}$ に充電電流が流れ込むことになる。

【0201】この結果、1番目、3番目 $\dots 191$ 番目のサンプルホールド回路 $6_{51}, 6_{52} \dots 6_{519}$ の動作速度にバラツキがある場合であっても、アクティマトリクス型液晶表示パネル1の画素電極に誤差の少ないデータ電圧を供給することができる。

【0202】また、分割赤色アナログ映像信号RA 3 は、2番目、4番目 $\dots 192$ 番目のサンプルホールド回路 $6_{55}, 6_{56} \dots 6_{519}$ で順にサンプルホールドされるが、2番目、6番目 $\dots 190$ 番目のサンプルホールド回路 $6_{55}, 6_{56} \dots 6_{519}$ でサンプルホールドが行われる場合には、分割赤色アナログ映像信号線 8_3 を介して、これら2番目、6番目 $\dots 190$ 番目のサンプルホールド回路 $6_{55}, 6_{56} \dots 6_{519}$ に充電電流が流れ込み、4番目、8番目 $\dots 192$ 番目のサンプルホールド回路 $6_{54}, 6_{58} \dots 6_{519}$ でサンプルホールドが行われる場合には、分割赤色アナログ映像信号線 8_4 を介して、これら4番目、8番目 $\dots 192$ 番目のサンプルホールド回路 $6_{54}, 6_{58} \dots 6_{519}$ に充電電流が流れ込むことになる。

【0203】この結果、2番目、4番目・・・192番目のサンプルホールド回路65₂、65₄・・・65₁₉₂の動作速度にバラツキがある場合であっても、アクティブマトリクス型液晶表示パネル1の画素電極に誤差の少ないデータ電圧を供給することができる。

【0204】したがって、データドライバICとして、この図11に示すデータドライバICを使用する場合には、図7に示すデータドライバICを使用する場合よりも高品質の画像表示を行うことができる。

【0205】第2実施例・図12～図18

図12は本発明の第2実施例の要部を示す図であり、この第2実施例は、第1実施例の場合と同様に、ドット密度を1024×768とする投写型のカラー表示のアクティブマトリクス型液晶表示装置に本発明を適用したものである。

【0206】ここに、図12は赤色用のアクティブマトリクス型液晶表示パネル及びその周辺回路部分を示しており、緑色用及び青色用のアクティブマトリクス型液晶表示パネル及びその周辺回路部分も同様に構成されている。

【0207】即ち、この第2実施例も、図27に示す画素密度を1024×768の赤色用のアクティブマトリクス型液晶表示パネル1を備えて構成されており、21～2₁、2₂～2₃、2₄～2₅、2₆～2₇、2₈～2₉、2₁₀～2₁₁は前述したように1024本のデータ線の一部を示している。

【0208】また、85₁～85₆はデータ線駆動回路を構成する出力数を192chとする同一回路構成のデータドライバICである。

【0209】また、RA1は、水平ライン上、1番目、7番目、13番目・・・1021番目の画素の赤色アナログ映像信号からなる分割赤色アナログ映像信号、RA3は、水平ライン上、3番目、9番目、15番目・・・1023番目の赤色アナログ映像信号からなる分割赤色アナログ映像信号、RA5は、水平ライン上、5番目、11番目、17番目・・・1019番目の赤色アナログ映像信号からなる分割赤色アナログ映像信号である。

【0210】また、RA2は、水平ライン上、2番目、8番目、14番目・・・1022番目の赤色アナログ映像信号からなる分割赤色アナログ映像信号、RA4は、水平ライン上、4番目、10番目、16番目・・・1024番目の赤色アナログ映像信号、RA6は、水平ライン上、6番目、12番目、18番目・・・1020番目の赤色アナログ映像信号からなる分割赤色アナログ映像信号である。

【0211】ここに、データドライバIC85₁～85₆は、アクティブマトリクス型液晶表示パネル1の上側に配置され、奇数番目のデータ線2₁、2₃・・・2₁₀₂₃を駆動するようになっている。

【0212】より詳しくは、データドライバIC85₁～85₆

はデータ線2₁、2₃・・・2₁₀₂₃を駆動するようになります。データドライバIC85₂はデータ線2₅～2₁₀₂₇を駆動するようになります。データドライバIC85₃はデータ線2₇～2₁₀₂₉を駆動するようになっています。

【0213】また、データドライバIC85₄～85₆は、アクティブマトリクス型液晶表示パネル1の下側に配置され、偶数番目のデータ線2₂、2₄・・・2₁₀₂₄を駆動するようになっています。

【0214】より詳しくは、データドライバIC85₄～85₆はデータ線2₂、2₄・・・2₁₀₂₄を駆動するようになります。データドライバIC85₅はデータ線2₈～2₁₀₂₈を駆動するようになります。データドライバIC85₆はデータ線2₁₀～2₁₀₂₉を駆動するようになっています。

【0215】ここに、図13は、データドライバIC85₁の回路構成を示すブロック図であり、図13中、86はスタートパルスSIを60MHzのシフトレジスタ用クロックパルスCLKに同期させてシフトし、シフトレジスタ用クロックパルスCLKの3倍の長さのパルス幅を有するサンプリングパルスSP1、SP2・・・SP192を順に出力するサンプリングパルス発生回路である。

【0216】また、SOはデータドライバIC85₁から出力され次段のデータドライバIC85₂に伝送されるスタートパルスである。

【0217】また、87はサンプリングパルス発生回路

86から出力されるサンプリングパルスSP1、SP2・・・SP192に同期させて分割赤色アナログ映像信号RA1、RA3、RA5をサンプルホールドするサンプルホールド回路群である。

【0218】また、88はサンプルホールド回路群87

にホールドされた赤色アナログ映像信号電圧のそれぞれ

を転送タイミングパルスLEに同期させて同時にサンプルホールドするサンプルホールド回路群である。

【0219】また、89はサンプルホールド回路群88

にホールドされた赤色アナログ映像信号をデータ電圧としてデータ線2₁、2₃・・・2₁₀₂₃に出力する出力バッファ回路群である。

【0220】このデータドライバIC85₁は、より詳しくは、図14にその一部分を示すように構成されています。

【0221】図14中、サンプリングパルス発生回路86において、90はスタートパルスSIをシフトレジスタ用クロックパルスCLKに同期させてシフトする直列

入力・並列出力型のシフトレジスタである。

【0222】また、91₁、91₂、91₃、91₄、91₅、91₆はシフトレジスタ90から出力されるスター

トパルスSIをシフトしてなるパルスQ1、Q2、Q3、Q4、Q5、Q192をレベルシフトしてサンプリ

ングパルスSP1、SP2、SP3、SP4、SP5、SP192を生成するレベルシフタである。

【0223】また、92は分割赤色アナログ映像信号RA1を伝送する分割赤色アナログ映像信号線、93は分割赤色アナログ映像信号RA3を伝送する分割赤色アナログ映像信号線、94は分割赤色アナログ映像信号RA5を伝送する分割赤色アナログ映像信号線である。

【0224】また、サンプルホールド回路群87において、951、952、953、954、955、95192はサンプルホールド回路であり、961、962、963、964、965、96192はサンプリングパルスSP1、SP2、SP3、SP4、SP5、SP192により導通、非導通が制御されるサンプリング用のスイッチ素子、971、972、973、974、975、97192はホールド用のコンデンサである。

【0225】また、サンプルホールド回路群88において、981、982、983、984、985、98192はサンプルホールド回路であり、991、992、993、994、995、99192はバッファ回路をなすオペアンプである。

【0226】また、1001、1002、1003、1004、1005、100192は転送タイミングパルスLEにより導通、非導通が制御されるサンプリング用のスイッチ素子、1011、1012、1013、1014、1015、101192はホールド用のコンデンサである。

【0227】また、出力バッファ回路群89において、1021、1022、1023、1024、1025、102192はバッファ回路を構成するオペアンプである。

【0228】また、図12において、103は1水平ラインごとの赤色アナログ映像信号RAを分割し、分割赤色アナログ映像信号RA1～RA6を作成する分割赤色アナログ映像信号作成回路である。

【0229】この分割赤色アナログ映像信号作成回路103は、図15に示すように構成されており、図15中、104は赤色アナログ映像信号RAを8ビットの赤色デジタル映像信号RDに変換するA/D変換回路である。

【0230】また、105は赤色デジタル映像信号RDを水平ライン上、1番目、3番目・・・1023番目の画素の赤色デジタル映像信号からなる分割赤色デジタル映像信号RD1と、水平ライン上、2番目、4番目・・・1024番目の赤色デジタル映像信号からなる分割赤色デジタル映像信号RD2とに分割して、これら分割デジタル映像信号RD1、RD2を同一位相で出力する分割回路である。

【0231】また、106は分割赤色デジタル映像信号RD1を水平ライン上、1番目、7番目・・・1021番目の赤色デジタル映像信号からなる分割赤色デジタル映像信号RD3と、水平ライン上、3番目、9番目・・・1023番目の赤色デジタル映像信号からなる分割赤

色デジタル映像信号RD4と、水平ライン上、5番目、11番目・・・1019番目の赤色デジタル映像信号からなる分割赤色デジタル映像信号RD5とに分割し、これら分割赤色デジタル映像信号RD3、RD4、RD5を同一位相で出力する分割回路である。

【0232】また、107は分割赤色デジタル映像信号RD4を遅延し、分割赤色デジタル映像信号RD4を分割赤色デジタル映像信号RD3に対して1/3周期だけ遅延させてなる分割赤色デジタル映像信号RD6を出力する遅延回路である。

【0233】また、108は分割赤色デジタル映像信号RD5を遅延し、分割赤色デジタル映像信号RD5を分割赤色デジタル映像信号RD3に対して2/3周期だけ遅延させてなる分割赤色デジタル映像信号RD7を出力する遅延回路である。

【0234】また、109は分割赤色デジタル映像信号RD2を水平ライン上、2番目、8番目・・・1022番目の赤色デジタル映像信号からなる分割赤色デジタル映像信号RD8と、水平ライン上、4番目、10番目・・・1024番目の赤色デジタル映像信号からなる分割赤色デジタル映像信号RD9と、水平ライン上、6番目、12番目・・・1020番目の赤色デジタル映像信号からなる分割赤色デジタル映像信号RD10とに分割し、これら分割赤色デジタル映像信号RD8、RD9、RD10を同一位相で出力する分割回路である。

【0235】また、110は分割赤色デジタル映像信号RD9を遅延し、分割赤色デジタル映像信号RD9を分割赤色デジタル映像信号RD8に対して1/3周期だけ遅延させてなる分割赤色デジタル映像信号RD11を出力する遅延回路である。

【0236】また、111は分割赤色デジタル映像信号RD10を遅延し、分割赤色デジタル映像信号RD10を分割赤色デジタル映像信号RD8に対して2/3周期だけ遅延させてなる分割赤色デジタル映像信号RD12を出力する遅延回路である。

【0237】また、112は分割赤色デジタル映像信号RD3、RD6、RD7、RD8、RD11、RD12をそれぞれアナログ変換し、水平ライン上、1番目、7番目・・・1021番目の赤色デジタル映像信号からなる分割赤色デジタル映像信号RA1と、水平ライン上、3番目、9番目・・・1023番目の赤色デジタル映像信号からなる分割赤色デジタル映像信号RA3と、水平ライン上、5番目、11番目・・・1019番目の赤色デジタル映像信号からなる分割赤色デジタル映像信号RA5と、水平ライン上、2番目、8番目・・・1022番目の赤色デジタル映像信号からなる分割赤色デジタル映像信号RA2と、水平ライン上、4番目、10番目・・・1024番目の赤色デジタル映像信号からなる分割赤色デジタル映像信号RA4と、水平ライン上、6番目、12番目・・・1020番目の赤色デジタル映像信

61

号からなる分割赤色デジタル映像信号R A 6とを出力するD/A変換回路である。

【0238】ここに、図16は、この分割赤色アナログ映像信号作成回路103の動作を示すタイムチャートであり、図16Aは56.6KHzの水平同期信号H_{sync}を示しており、この第2実施例においても、1水平走査期間TA=17.6μsとされている。

【0239】また、図16Bは75MHz、1024画素の1水平ライン分の赤色アナログ映像信号R A、図16Cは赤色デジタル映像信号R D、図16Dは分割赤色デジタル映像信号R D 1、図16Eは分割赤色デジタル映像信号R D 2を示している。

【0240】また、図16Fは分割赤色デジタル映像信号R D 3、図16Gは分割赤色デジタル映像信号R D 4、図16Hは分割赤色デジタル映像信号R D 5、図16Iは分割赤色デジタル映像信号R D 6、図16Jは分割赤色デジタル映像信号R D 7を示している。

【0241】また、図16Kは分割赤色デジタル映像信号R D 8、図16Lは分割赤色デジタル映像信号R D 9、図16Mは分割赤色デジタル映像信号R D 10、図16Nは分割赤色デジタル映像信号R D 11、図16Oは分割赤色デジタル映像信号R D 12を示している。

【0242】また、図16Pは分割赤色アナログ映像信号R A 1、図16Qは分割赤色アナログ映像信号R A 3、図16Rは分割赤色アナログ映像信号R A 5、図16Sは分割赤色アナログ映像信号R A 2、図16Tは分割赤色アナログ映像信号R A 4、図16Uは分割赤色アナログ映像信号R A 6、図16Vは転送タイミングパルスLEを示している。

【0243】なお、この図16においては、赤色アナログ映像信号R A、赤色デジタル映像信号R D、分割赤色デジタル映像信号R D 1～R D 12、分割赤色アナログ映像信号R A 1～R A 6は、水平同期信号H_{sync}に対する相対的位置を示しており、その全てについて、時間軸を一致させるものではない。

【0244】ここに、分割赤色アナログ映像信号作成回路103においては、図16Bに示すような75MHz、1024画素の赤色アナログ映像信号R Aが入力されると、A/D変換回路104からは、図16Cに示すように、75MHzの赤色デジタル映像信号R Dが出力され、これが分割回路105に伝送される。

【0245】ここに、赤色アナログ映像信号R Aの表示期間TBは、 $(1/75 \times 10^6) \times 1024 = 13.6 \times 10^{-6} = 13.6 \mu s$ であるから、赤色デジタル映像信号R Dの表示期間も、13.6μsとなる。

【0246】分割回路105においては、赤色デジタル映像信号R Dが分割され、分割回路105からは、図16Dに示すように、水平ライン上、1番目、3番目…・1023番目の画素の赤色デジタル映像信号からなる分割赤色デジタル映像信号R D 1と、図16Eに示すよ

10

20

30

40

50

62

うに、水平ライン上、2番目、4番目…1024番目の画素の赤色デジタル信号からなる分割赤色デジタル映像信号R D 2とが outputされ、分割赤色デジタル映像信号R D 1は分割回路106に伝送され、分割赤色デジタル映像信号R D 2は分割回路109に伝送される。

【0247】ここに、分割赤色デジタル映像信号R D 1、R D 2は、赤色デジタル映像信号R Dを2分割してなるものであるから、分割赤色デジタル映像信号R D 1、R D 2の表示期間は $(13.6 \mu s / 1024) \times 2 \times 512 = 13.6 \mu s$ となる。

【0248】分割回路106においては、赤色デジタル映像信号R D 1が分割され、分割回路106からは、図16Fに示すように、水平ライン上、1番目、7番目…1021番目の画素の赤色デジタル映像信号R D 3と、図16Gに示すように、水平ライン上、3番目、9番目…1023番目の画素の赤色デジタル映像信号からなる分割赤色デジタル映像信号R D 4と、図16Hに示すように、水平ライン上、5番目、11番目…1019番目の画素の赤色デジタル映像信号からなる分割赤色デジタル映像信号R D 5とが outputされ、分割赤色デジタル映像信号R D 3はD/A変換回路112に伝送され、分割赤色デジタル映像信号R D 4は遅延回路107に伝送され、分割赤色デジタル映像信号R D 5は遅延回路108に伝送される。

【0249】ここに、遅延回路107からは、図16Iに示すように、分割赤色デジタル映像信号R D 4を1/3周期だけ遅延させてなる分割赤色デジタル映像信号R D 6が outputされ、これがD/A変換回路112に伝送される。

【0250】また、遅延回路108からは、図16Jに示すように、分割赤色デジタル映像信号R D 5を2/3周期だけ遅延させてなる分割赤色デジタル映像信号R D 7が outputされ、これがD/A変換回路112に伝送される。

【0251】ここに、分割赤色デジタル映像信号R D 3、R D 4、R D 5は、512画素の分割赤色デジタル映像信号R D 1を171画素、171画素、170画素となるよう3分割してなるものであるから、分割赤色デジタル映像信号R D 3、R D 4の表示期間は、 $(13.6 \mu s / 512) \times 3 \times 171 = 13.6 \mu s$ となる。

【0252】また、分割回路109においては、赤色デジタル映像信号R D 2が分割され、分割回路109からは、図16Kに示すように、水平ライン上、2番目、8番目…1022番目の画素の赤色デジタル映像信号からなる分割赤色デジタル映像信号R D 8と、図16Lに示すように、水平ライン上、4番目、10番目…1024番目の画素の赤色デジタル映像信号からなる分割赤色デジタル映像信号R D 9と、図16Mに示すよう

63

に、水平ライン上、6番目、12番目・・・1020番目の画素の赤色デジタル映像信号からなる分割赤色デジタル映像信号RD10とが outputされ、分割赤色デジタル映像信号RD8はD/A変換回路112に伝送され、分割赤色デジタル映像信号RD9は遅延回路110に伝送され、分割赤色デジタル映像信号RD10は遅延回路111に伝送される。

【0253】ここに、遅延回路110からは、図16Nに示すように、分割赤色デジタル映像信号RD9を1/3周期だけ遅延させてなる分割赤色デジタル映像信号RD11が outputされ、これがD/A変換回路112に伝送される。

【0254】また、遅延回路111からは、図16Oに示すように、分割赤色デジタル映像信号RD10を2/3周期だけ遅延させてなる分割赤色デジタル映像信号RD12が outputされ、これがD/A変換回路112に伝送される。

【0255】ここに、分割赤色デジタル映像信号RD8、RD9、RD10は、512画素の分割赤色デジタル映像信号RD2を171画素、171画素、170画素となるように3分割してなるものであるから、分割赤色デジタル映像信号RD8、RD9の表示期間は、(13.6μs/512) × 3 × 171 = 13.6μsとなる。

【0256】また、D/A変換回路112においては、図16P～図16Uに示すように、分割赤色デジタル映像信号RD3、RD6、RD7、RD8、RD11、RD12がアナログ信号化されてなる分割赤色アナログ映像信号RA1、RA3、RA5、RA2、RA4、RA6が outputされ、分割赤色アナログ映像信号RA1、RA3、RA5はデータドライバIC851、852、853に伝送され、分割赤色アナログ映像信号RA2、RA4、RA6はデータドライバIC854、855、856に伝送される。

【0257】ここに、図17はデータドライバIC851の動作を示すタイムチャートであり、図17Aは60MHzのシフトレジスタ用クロックパルスCLK、図17Bはシフトレジスタ用クロックパルスCLKの周期の3倍のパルス幅(Hレベル幅)を有するスタートパルスSIを示している。

【0258】また、図17CはサンプリングパルスSP1、図17DはサンプリングパルスSP2、図17EはサンプリングパルスSP3、図17FはサンプリングパルスSP4、図17GはサンプリングパルスSP191、図17HはサンプリングパルスSP192を示している。

【0259】また、図17Iは分割赤色アナログ映像信号RA1、図17Jは分割赤色アナログ映像信号RA3、図17Kは分割赤色アナログ映像信号RA5を示している。

64

【0260】即ち、データドライバIC851においては、サンプリングパルス発生回路86にスタートパルスSIが供給されると、このスタートパルスSIがシフトレジスタ用クロックパルスCLKの立ち上がりのタイミングでラッチされ、シフトレジスタ用クロックパルスCLKに同期したサンプリングパルスSP1、SP2・・・SP192が順に出力される。

【0261】そして、これらサンプリングパルスSP1、SP2・・・SP192が順にスイッチ素子961、962・・・96192に供給され、分割赤色アナログ映像信号RA1、RA3、RA5が1/3周期ずつずらして繰り返してサンプルホールドされ、水平ライン上、1番目、3番目・・・383番目の画素のアナログ赤色映像信号電圧がコンデンサ971、972・・・97192にサンプルホールドされる。

【0262】また、データドライバIC851においては、データドライバIC851からスタートパルスSI(SO)が供給されると、このスタートパルスSIがシフトレジスタ用クロックパルスCLKの立ち上がりのタイミングでラッチされ、シフトレジスタ用クロックパルスCLKに同期したサンプリングパルスSP1、SP2・・・SP192に該当するサンプリングパルスが順に出力される。

【0263】そして、これらサンプリングパルスSP1、SP2・・・SP192に該当するサンプリングパルスが順にスイッチ素子961、962・・・96192に該当するスイッチ素子に供給され、分割赤色アナログ映像信号RA1、RA3、RA5が1/3周期ずつずらして繰り返してサンプルホールドされ、水平ライン上、385番目、387番目・・・767番目の画素の赤色アナログ映像信号電圧がコンデンサ971、972・・・97192に該当するコンデンサにサンプルホールドされる。

【0264】また、データドライバIC851においては、データドライバIC851からスタートパルスSI(SO)が供給されると、このスタートパルスSIがシフトレジスタ用クロックパルスCLKの立ち上がりのタイミングでラッチされ、シフトレジスタ用クロックパルスCLKに同期したサンプリングパルスSP1、SP2・・・SP192に該当するサンプリングパルスが順に出力される。

【0265】そして、これらサンプリングパルスSP1、SP2・・・SP192に該当するサンプリングパルスが順にスイッチ素子961、962・・・96192に該当するスイッチ素子に供給され、分割赤色アナログ映像信号RA1、RA3、RA5が1/3周期ずつずらして繰り返してサンプルホールドされ、水平ライン上、769番目、771番目・・・1023番目の画素の赤色アナログ映像信号電圧がコンデンサ971、972・・・97192に該当するコンデンサにサンプルホールドされ

る。

【0266】また、データドライバIC85₄においては、スタートパルスS1が供給されると、このスタートパルスS1がシフトレジスタ用クロックパルスCLKの立ち上がりのタイミングでラッチされ、シフトレジスタ用クロックパルスCLKに同期したサンプリングパルスSP1、SP2・・・SP192に該当するサンプリングパルスが順に出力される。

【0267】そして、これらサンプリングパルスSP1、SP2・・・SP192に該当するサンプリングパルスが順にスイッチ素子96₁、96₂・・・96₁₉₂に該当するスイッチ素子に供給され、分割赤色アナログ映像信号RA2、RA4、RA6が1/3周期ずつずらして繰り返してサンプルホールドされ、水平ライン上、2番目、4番目・・・384番目の画素の赤色アナログ映像信号電圧がコンデンサ97₁、97₂・・・97₁₉₂に該当するコンデンサにサンプルホールドされる。

【0268】また、データドライバIC85₂においては、データドライバIC85₄からスタートパルスS1(SO)が供給されると、このスタートパルスS1がシフトレジスタ用クロックパルスCLKの立ち上がりのタイミングでラッチされ、シフトレジスタ用クロックパルスCLKに同期したサンプリングパルスSP1、SP2・・・SP192に該当するサンプリングパルスが順に出力される。

【0269】そして、これらサンプリングパルスSP1、SP2・・・SP192に該当するサンプリングパルスが順にスイッチ素子96₁、96₂・・・96₁₉₂に該当するスイッチ素子に供給され、分割赤色アナログ映像信号RA2、RA4、RA6が1/3周期ずつずらして繰り返してサンプルホールドされ、水平ライン上、386番目、388番目・・・768番目の画素の赤色アナログ映像信号電圧がコンデンサ97₁、97₂・・・97₁₉₂に該当するコンデンサにサンプルホールドされる。

【0270】また、データドライバIC85₅においては、データドライバIC85₅からスタートパルスS1(SO)が供給されると、このスタートパルスS1がシフトレジスタ用クロックパルスCLKの立ち上がりのタイミングでラッチされ、シフトレジスタ用クロックパルスCLKに同期したサンプリングパルスSP1、SP2・・・SP192に該当するサンプリングパルスが順に出力される。

【0271】そして、これらサンプリングパルスSP1、SP2・・・SP192に該当するサンプリングパルスが順にスイッチ素子96₁、96₂・・・96₁₉₂に該当するスイッチ素子に供給され、分割赤色アナログ映像信号RA2、RA4、RA6が1/3周期ずつずらして繰り返してサンプルホールドされ、水平ライン上、770番目、772番目・・・1024番目の画素の赤色

アナログ映像信号ごとにコンデンサ97₁、97₂・・・97₁₉₂(図示せず)に該当するコンデンサにサンプルホールドされる。

【0272】次に、転送タイミングパルスLE=Hレベルとされると、データドライバIC85₁においては、スイッチ素子100₁、100₂・・・100₁₉₂が同時に導通状態とされ、コンデンサ97₁、97₂・・・97₁₉₂にホールドされている水平ライン上、1番目、3番目・・・383番目の画素の赤色アナログ映像信号電圧がコンデンサ101₁、101₂・・・101₁₉₂にサンプルホールドされる。

【0273】また、データドライバIC85₂においては、スイッチ素子100₁、100₂・・・100₁₉₂に該当するスイッチ素子が同時に導通とされ、コンデンサ97₁、97₂・・・97₁₉₂に該当するコンデンサにホールドされている水平ライン上、385番目、387番目・・・767番目の画素の赤色アナログ映像信号電圧がコンデンサ101₁、101₂・・・101₁₉₂に該当するコンデンサにサンプルホールドされる。

【0274】また、データドライバIC85₃においては、スイッチ素子100₁、100₂・・・100₁₉₂に該当するスイッチ素子が同時に導通とされ、コンデンサ97₁、97₂・・・97₁₉₂(図示せず)に該当するコンデンサにホールドされている水平ライン上、769番目、771番目・・・1023番目の画素の赤色アナログ映像信号電圧がコンデンサ101₁、101₂・・・101₁₉₂(図示せず)に該当するコンデンサにサンプルホールドされる。

【0275】また、データドライバIC85₄においては、スイッチ素子100₁、100₂・・・100₁₉₂に該当するスイッチ素子が同時に導通とされ、コンデンサ97₁、97₂・・・97₁₉₂に該当するコンデンサにホールドされている水平ライン上、2番目、4番目・・・384番目の画素の赤色アナログ映像信号電圧がコンデンサ101₁、101₂・・・101₁₉₂に該当するコンデンサにサンプルホールドされる。

【0276】また、データドライバIC85₅においては、スイッチ素子100₁、100₂・・・100₁₉₂に該当するスイッチ素子が同時に導通とされ、コンデンサ97₁、97₂・・・97₁₉₂に該当するコンデンサにホールドされている水平ライン上、386番目、388番目・・・768番目の画素の赤色アナログ映像信号電圧がコンデンサ101₁、101₂・・・101₁₉₂に該当するコンデンサにサンプルホールドされる。

【0277】また、データドライバIC85₆においては、スイッチ素子100₁、100₂・・・100₁₉₂に該当するスイッチ素子が同時に導通とされ、コンデンサ97₁、97₂・・・97₁₉₂(図示せず)に該当するコンデンサにホールドされている水平ライン上、770番目、772番目・・・1024番目の画素の赤色アノ

67

グ映像信号電圧がコンデンサ $101_1, 101_2 \dots 101_{128}$ (図示せず) に該当するコンデンサにサンプルホールドされる。

【0278】この結果、データドライバ IC 85₁においては、コンデンサ $101_1, 101_2 \dots 101_{128}$ にホールドされた水平ライン上、1番目、3番目 $\dots 383$ 番目の画素の赤色アナログ映像信号電圧がデータ電圧としてオペアンプ $102_1, 102_2 \dots 102_{128}$ を介してデータ線 $2_1, 2_3 \dots 2_{128}$ に出力される。

【0279】また、データドライバ IC 85₂においては、コンデンサ $101_1, 101_2 \dots 101_{128}$ に該当するコンデンサにホールドされた水平ライン上、385番目、387番目 $\dots 767$ 番目の画素の赤色アナログ映像信号電圧がデータ電圧としてオペアンプ $102_1, 102_2 \dots 102_{128}$ に該当するオペアンプを介してデータ線 $2_{125}, 2_{127} \dots 2_{126}$ に出力される。

【0280】また、データドライバ IC 85₃においては、コンデンサ $101_1, 101_2 \dots 101_{128}$ (図示せず) に該当するコンデンサにホールドされた水平ライン上、769番目、771番目 $\dots 1023$ 番目の画素の赤色アナログ映像信号電圧がデータ電圧として、オペアンプ $102_1, 102_2 \dots 102_{128}$ (図示せず) に該当するオペアンプを介してデータ線 $2_{129}, 2_{131} \dots 2_{128}$ に出力される。

【0281】また、データドライバ IC 85₄においては、コンデンサ $101_1, 101_2 \dots 101_{128}$ に該当するコンデンサにホールドされた水平ライン上、2番目、4番目 $\dots 384$ 番目の画素の赤色アナログ映像信号電圧がデータ電圧としてオペアンプ $102_1, 102_2 \dots 102_{128}$ を介してデータ線 $2_2, 2_4 \dots 2_{128}$ に出力される。

【0282】また、データドライバ IC 85₅においては、コンデンサ $101_1, 101_2 \dots 101_{128}$ に該当するコンデンサにホールドされた水平ライン上、386番目、388番目 $\dots 768$ 番目の画素の赤色アナログ映像信号電圧がデータ電圧としてオペアンプ $102_1, 102_2 \dots 102_{128}$ に該当するオペアンプを介してデータ線 $2_{126}, 2_{128} \dots 2_{125}$ に出力される。

【0283】また、データドライバ IC 85₆においては、コンデンサ $101_1, 101_2 \dots 101_{128}$ (図示せず) に該当するコンデンサにホールドされた水平ライン上、770番目、772番目 $\dots 1024$ 番目の画素の赤色アナログ映像信号電圧がデータ電圧としてオペアンプ $102_1, 102_2 \dots 102_{128}$ (図示せず) に該当するオペアンプを介してデータ線 $2_{128}, 2_{126} \dots 2_{125}$ に出力される。

【0284】このように、この第2実施例においては、7.5MHzの赤色アナログ映像信号RAを、水平ライン上、1番目、7番目 $\dots 1021$ 番目の画素の赤色ア

ナログ映像信号RA1と、水平ライン上、3番目、9番目 $\dots 1023$ 番目の画素の赤色アナログ映像信号RA3と、水平ライン上、5番目、11番目 $\dots 1019$ 番目の画素の赤色アナログ映像信号RA5と、水平ライン上、2番目、8番目 $\dots 1022$ 番目の画素の赤色アナログ映像信号RA2と、水平ライン上、4番目、10番目 $\dots 1024$ 番目の画素の赤色アナログ映像信号RA4と、水平ライン上、6番目、12番目 $\dots 1020$ 番目の画素の赤色アナログ映像信号RA6とに6分割している。

【0285】そして、データドライバ IC 85₁～85₆においては、分割赤色アナログ映像信号RA1、RA3、RA5を1/3周期ずつずらして繰り返して1段目のサンプルホールド回路によってサンプルホールドし、このサンプルホールドによってホールドされた赤色アナログ映像信号電圧を2段目のサンプルホールド回路及び出力パッファ回路を介してデータ線 $2_1, 2_3 \dots 2_{125}$ に供給するようしている。

【0286】また、データドライバ IC 85₁～85₆においては、分割赤色アナログ映像信号RA2、RA4、RA6を1/3周期ずつずらして繰り返して1段目のサンプルホールド回路によってサンプルホールドし、このサンプルホールドによってホールドされた赤色アナログ映像信号電圧を2段目のサンプルホールド回路及び出力パッファ回路を介してデータ線 $2_2, 2_4 \dots 2_{126}$ に供給するようしている。

【0287】ここに、データドライバ IC 85₁～85₆においては、シフトレジスタを従来の3倍の速度で動作させるようしているが、前述のように、分割赤色アナログ映像信号RA1、RA3、RA5は、1/3周期ずつずらして繰り返してサンプルホールドされ、また、分割赤色アナログ映像信号RA2、RA4、RA6も、1/3周期ずつずらして繰り返してサンプルホールドされるので、1段目のサンプルホールド回路におけるサンプリング時間として従来と同様の時間を確保することができる。

【0288】また、分割赤色アナログ映像信号RA1、RA3の位相のずれは1/3周期であるから、これら分割赤色アナログ映像信号RA1、RA3の合計の表示期間は、これら分割赤色アナログ映像信号RA1、RA3の周期の1/3だけ長くなるにすぎない。

【0289】換言すれば、分割赤色アナログ映像信号RA1、RA3の合計の表示期間は、赤色アナログ映像信号RAの表示期間 $1.3.6 \mu s$ よりも、赤色アナログ映像信号RAの周期の2倍、即ち、 $(1/7.5 \times 10^6) \times 2 = 0.0267 \times 10^6 = 0.0267 \mu s$ だけ長くなるにすぎない。

【0290】即ち、この第2実施例においては、赤色アナログ映像信号RAを6分割しているが、非表示期間の大幅な増加を招くことはなく、転送タイミングパルスし

Eの有効期間TLE(図16参照)を十分に長くすることができ、データドライバIC851～856においては、2段目のサンプルホールド回路におけるサンプリング期間を十分に確保することができる。分割赤色アナログ映像信号RA2、RA4についても、同様である。

【0291】したがって、この第2実施例によれば、両側駆動方式の投写型のカラー表示のアクティブマトリクス型液晶表示装置について、アナログ映像信号を6分割し、データ線の並列駆動を行う場合であっても、非表示期間を大幅に減らすことはなく、高精細な表示を行うことができる。

【0292】また、この第2実施例においては、図18に示すようなデータドライバICを使用することもできる。

【0293】このデータドライバICにおいては、分割赤色アナログ映像信号RA1を伝送するものとして、分割赤色アナログ映像信号線113、114が設けられ、分割赤色アナログ映像信号線113は、1番目、7番目～187番目のスイッチ素子961、962(図示せず)～96187(図示せず)に接続され、分割赤色20

アナログ映像信号線114は、4番目、10番目～190番目のスイッチ素子964、9610(図示せず)～96190(図示せず)に接続されている。

【0294】また、分割赤色アナログ映像信号RA3を

伝送するものとして、分割赤色アナログ映像信号線115、116が設けられ、分割赤色アナログ映像信号線115は、2番目、8番目～188番目のスイッチ素子962、968(図示せず)～96188(図示せず)に接続され、分割赤色アナログ映像信号線116は、5番目、11番目～191番目のスイッチ素子965、9611(図示せず)～96191(図示せず)30

に接続されている。

【0295】また、分割赤色アナログ映像信号RA5を伝送するものとして、分割赤色アナログ映像信号線117、118が設けられ、分割赤色アナログ映像信号線117は、3番目、9番目～189番目のスイッチ素子963、969(図示せず)～96189(図示せず)に接続され、分割赤色アナログ映像信号線118は、6番目、12番目～192番目のスイッチ素子966(図示せず)、9612(図示せず)～96192(図示せず)に接続されている。その他については、図14に示すデータドライバICと同様に構成されている。

【0296】このデータドライバICにおいては、分割赤色アナログ映像信号RA1は、1番目、4番目～190番目のサンプルホールド回路951、954～95190(図示せず)で順にサンプルホールドされるが、1番目、7番目～187番目のサンプルホールド回路951、957(図示せず)～95187(図示せず)でサンプルホールドが行われる場合には、分割赤色アナログ映像信号線113を介して、これら1番目、50

7番目～187番目のサンプルホールド回路951、957(図示せず)～95187(図示せず)に充電電流が流れ込み、4番目、10番目～190番目のサンプルホールド回路954、9510(図示せず)～95190(図示せず)でサンプルホールドが行われる場合には、分割赤色アナログ映像信号線114を介して、これら4番目、10番目～190番目のサンプルホールド回路954、9510(図示せず)～95190(図示せず)に充電電流が流れ込むことになる。

【0297】この結果、1番目、4番目～190番目のサンプルホールド回路951、954～95190(図示せず)の動作速度にバラツキがある場合であっても、アクティブマトリクス型液晶表示パネル1の画素電極に誤差の少ないデータ電圧を供給することができる。

【0298】また、分割赤色アナログ映像信号RA3は、2番目、5番目～191番目のサンプルホールド回路952、955～95191(図示せず)で順にサンプルホールドされるが、2番目、8番目～188番目のサンプルホールド回路952、958(図示せず)～95188(図示せず)でサンプルホールドが行われる場合には、分割赤色アナログ映像信号線115を介して、これら2番目、8番目～188番目のサンプルホールド回路952、958(図示せず)～95188(図示せず)に充電電流が流れ込み、5番目、11番目～191番目のサンプルホールド回路955、9511(図示せず)～95191(図示せず)でサンプルホールドが行われる場合には、分割赤色アナログ映像信号線116を介して、これら5番目、11番目～191番目のサンプルホールド回路955、9511(図示せず)～95191(図示せず)に充電電流が流れ込むことになる。

【0299】この結果、2番目、5番目～191番目のサンプルホールド回路952、955～95191(図示せず)の動作速度にバラツキがある場合であっても、アクティブマトリクス型液晶表示パネル1の画素電極に誤差の少ないデータ電圧を供給することができる。

【0300】また、分割赤色アナログ映像信号RA5は、3番目、6番目～192番目のサンプルホールド回路953、956(図示せず)～95192(図示せず)で順にサンプルホールドされるが、3番目、9番目～189番目のサンプルホールド回路953、959(図示せず)～95189(図示せず)でサンプルホールドが行われる場合には、分割赤色アナログ映像信号線117を介して、これら3番目、9番目～189番目のサンプルホールド回路953、959(図示せず)～95189(図示せず)に充電電流が流れ込み、6番目、12番目～192番目のサンプルホールド回路956、9512(図示せず)～95192(図示せず)でサンプルホールドが行われる場合には、分割赤色アナログ映像信号線118を介して、これら6番目、12番目～

71

・ 1 9 2 番目のサンプルホールド回路 9 5₆ (図示せず) 、 9 5₁₂ (図示せず) ～ 9 5₁₉₂ に充電電流が流れ込むことになる。

【0301】この結果、3番目、6番目～192番目のサンプルホールド回路 9 5₃、9 5₆ (図示せず) ～ 9 5₁₉₂ の動作速度にパラツキがある場合であっても、アクティブマトリクス型液晶表示パネル 1 の画素電極に誤差の少ないデータ電圧を供給することができる。

【0302】したがって、データドライバ IC として、この図 18 に示すデータドライバ IC を使用する場合は、図 14 に示すデータドライバ IC を使用する場合よりも高品質の画像表示を行うことができる。

【0303】第3実施例・図 19～図 26

図 19 は本発明の第3実施例の要部を示す図であり、本発明の第3実施例は、ドット密度を 1 0 2 4 × 7 6 8、即ち、RGB の画素密度を 3 0 7 2 × 7 6 8 とする両側駆動方式の直視型のカラー表示のアクティブマトリクス型液晶表示装置に本発明を適用したものである。

【0304】図 19 中、1 1 9 はドット密度を 1 0 2 4 × 7 6 8、即ち、RGB の画素密度を 3 0 7 2 × 7 6 8 とするカラー表示のアクティブマトリクス型液晶表示パネルである。

【0305】また、1 2 0₁、1 2 1₁、1 2 2₁、1 2 0₂、1 2 1₂、1 2 2₂、1 2 0₁₀₂₃、1 2 1₁₀₂₃、1 2 2₁₀₂₃、1 2 0₁₀₂₄、1 2 1₁₀₂₄、1 2 2₁₀₂₄ は 3 0 7 2 本のデータ線の一部を示している。

【0306】ここに、1 2 0₁、1 2 0₂ ～ 1 2 0₁₀₂₄ は、例えば、赤色データ電圧用、1 2 1₁、1 2 1₂ ～ 1 2 1₁₀₂₄ は、例えば、緑色データ電圧用、1 2 2₁、1 2 2₂ ～ 1 2 2₁₀₂₄ は、例えば、青色データ電圧用に設けられている。

【0307】ここに、図 20 は、データ線 1 2 0₁、1 2 1₁、1 2 2₁、1 2 0₂、1 2 1₂、1 2 2₂ ～ 1 2 0₁₀₂₄、1 2 1₁₀₂₄、1 2 2₁₀₂₄ の配列をより詳しく示す図である。

【0308】また、図 19において、1 2 3₁ ～ 1 2 3₁₆ はデータ線駆動回路を構成する出力数を 1 9 2 ch とする同一回路構成のデータドライバ IC である。

【0309】また、RA 1 は、水平ライン上、1 番目、7 番目、1 3 番目 ～ 1 0 2 1 番目のドットの赤色アナログ映像信号からなる分割赤色アナログ映像信号、GA 1 は、水平ライン上、1 番目、7 番目、1 3 番目 ～ 1 0 2 1 番目のドットの緑色アナログ映像信号からなる分割緑色アナログ映像信号、BA 1 は、水平ライン上、1 番目、7 番目、1 3 番目 ～ 1 0 2 1 番目のドットの青色アナログ映像信号からなる分割青色アナログ映像信号である。

【0310】また、RA 3 は、水平ライン上、3 番目、9 番目、1 5 番目 ～ 1 0 2 3 番目のドットの赤色アナログ映像信号からなる分割赤色アナログ映像信号、G 50

72

A 3 は、水平ライン上、3 番目、9 番目、1 5 番目 ～ 1 0 2 3 番目のドットの緑色アナログ映像信号からなる分割緑色アナログ映像信号、BA 3 は、水平ライン上、3 番目、9 番目、1 5 番目 ～ 1 0 2 3 番目のドットの青色アナログ映像信号からなる分割青色アナログ映像信号である。

【0311】また、RA 5 は、水平ライン上、5 番目、1 1 番目、1 7 番目 ～ 1 0 1 9 番目のドットの赤色アナログ映像信号からなる分割赤色アナログ映像信号、GA 5 は、水平ライン上、5 番目、1 1 番目、1 7 番目 ～ 1 0 1 9 番目のドットの緑色アナログ映像信号からなる分割緑色アナログ映像信号、BA 5 は、水平ライン上、5 番目、1 1 番目、1 7 番目 ～ 1 0 1 9 番目の青色アナログ映像信号からなる分割青色アナログ映像信号である。

【0312】また、RA 2 は、水平ライン上、2 番目、8 番目、1 4 番目 ～ 1 0 2 2 番目のドットの赤色アナログ映像信号からなる分割赤色アナログ映像信号、GA 2 は、水平ライン上、2 番目、8 番目、1 4 番目 ～ 1 0 2 2 番目のドットの緑色アナログ映像信号からなる分割緑色アナログ映像信号、BA 2 は、水平ライン上、2 番目、8 番目、1 4 番目 ～ 1 0 2 2 番目のドットの青色アナログ映像信号からなる分割青色アナログ映像信号である。

【0313】また、RA 4 は、水平ライン上、4 番目、1 0 番目、1 6 番目 ～ 1 0 2 4 番目のドットの赤色アナログ映像信号からなる分割赤色アナログ映像信号、GA 4 は、水平ライン上、4 番目、1 0 番目、1 6 番目 ～ 1 0 2 4 番目のドットの緑色アナログ映像信号からなる分割緑色アナログ映像信号、BA 4 は、水平ライン上、4 番目、1 0 番目、1 6 番目 ～ 1 0 2 4 番目のドットの青色アナログ映像信号からなる分割青色アナログ映像信号である。

【0314】また、RA 6 は、水平ライン上、6 番目、1 2 番目、1 8 番目 ～ 1 0 2 0 番目のドットの赤色アナログ映像信号からなる分割赤色アナログ映像信号、GA 6 は、水平ライン上、6 番目、1 2 番目、1 8 番目 ～ 1 0 2 0 番目のドットの緑色アナログ映像信号からなる分割緑色アナログ映像信号、BA 6 は、水平ライン上、6 番目、1 2 番目、1 8 番目 ～ 1 0 2 0 番目のドットの青色アナログ映像信号からなる分割青色アナログ映像信号である。

【0315】ここに、データドライバ IC 1 2 3₁ ～ 1 2 3₁₆ は、アクティブマトリクス型液晶表示パネル 1 1 9 の上側に配置され、奇数番目のドットにデータ電圧を供給するデータ線 1 2 0₁、1 2 1₁、1 2 2₁、1 2 0₂、1 2 1₂、1 2 2₂ ～ 1 2 0₁₀₂₃、1 2 1₁₀₂₃、1 2 2₁₀₂₃ を駆動するようにされている。

【0316】また、データドライバ IC 1 2 3₁ ～ 1 2 3₁₆ は、アクティブマトリクス型液晶表示パネル 1 1 9

の下側に配置され、偶数番目のドットにデータ電圧を供給するデータ線 120₂、121₂、122₂、120₄、121₄、122₄・・・120₁₆₂₄、121₁₆₂₄、122₁₆₂₄を駆動するようになっている。

【0317】ここに、図21は、データドライバIC123₁の回路構成を示すブロック図であり、図21中、124はスタートパルスSIを60MHzのシフトレジスタ用クロックパルスCLKに同期させてシフトし、シフトレジスタ用クロックパルスCLKの3倍の長さのパルス幅を有するサンプリングパルスSP1、SP2・・・SP192を順に出力するサンプリングパルス発生回路である。

【0318】また、SOはデータドライバIC123₁から出力され次段のデータドライバIC123₂に伝送されるスタートパルスである。

【0319】また、125はサンプリングパルス発生回路124から出力されるサンプリングパルスSP1、SP2・・・SP192に同期させて分割赤色アナログ映像信号RA1、RA3、RA5、分割緑色アナログ映像信号GA1、GA3、GA5及び分割青色アナログ映像信号BA1、BA3、BA5をサンプルホールドするサンプルホールド回路群である。

【0320】また、126はサンプルホールド回路群125にホールドされた赤色アナログ映像信号電圧、緑色アナログ映像信号電圧及び青色アナログ映像信号電圧のそれぞれを転送タイミングパルスLEに同期させて同時にサンプルホールドするサンプルホールド回路群である。

【0321】また、127はサンプルホールド回路群126にホールドされた赤色アナログ映像信号をデータ電圧としてデータ線120₁、121₁、122₁、120₂、121₂、122₂・・・120₁₆₂₄、121₁₆₂₄、122₁₆₂₄に输出する出力バッファ回路群である。

【0322】このデータドライバIC123₁は、より詳しくは、図22にその一部分を示すように構成されている。

【0323】図22中、サンプリングパルス発生回路124において、128はスタートパルスSIをシフトレジスタ用クロックパルスCLKに同期させてシフトする直列入力・並直列出力型のシフトレジスタである。

【0324】また、129₁、129₂、129₃はシフトレジスタ128から出力されるスタートパルスSIをシフトしてなるパルスQ1、Q2、Q3をレベルシフトしてサンプリングパルスSP1、SP2、SP3を生成するレベルシフタである。

【0325】また、130は分割赤色アナログ映像信号RA1を伝送する分割赤色アナログ映像信号線、131は分割緑色アナログ映像信号GA1を伝送する分割緑色アナログ映像信号線、132は分割青色アナログ映像信号BA1を伝送する分割青色アナログ映像信号線であ

る。

【0326】また、133は分割赤色アナログ映像信号RA3を伝送する分割赤色アナログ映像信号線、134は分割緑色アナログ映像信号GA3を伝送する分割緑色アナログ映像信号線、135は分割青色アナログ映像信号BA3を伝送する分割青色アナログ映像信号線である。

【0327】また、136は分割赤色アナログ映像信号RA5を伝送する分割赤色アナログ映像信号線、137は分割緑色アナログ映像信号GA5を伝送する分割緑色アナログ映像信号線、138は分割青色アナログ映像信号BA5を伝送する分割青色アナログ映像信号線である。

【0328】また、サンプルホールド回路群125において、139₁、140₁、141₁、139₂、140₂、141₂、139₃、140₃、141₃はサンプルホールド回路である。

【0329】ここに、142₁、143₁、144₁はサンプリングパルスSP1により導通、非導通が制御されるサンプリング用のスイッチ素子、142₂、143₂、144₂はサンプリングパルスSP2により導通、非導通が制御されるサンプリング用のスイッチ素子、142₃、143₃、144₃はサンプリングパルスSP3により導通、非導通が制御されるサンプリング用のスイッチ素子である。

【0330】また、145₁、146₁、147₁、145₂、146₂、147₂、145₃、146₃、147₃はホールド用のコンデンサである。

【0331】また、サンプルホールド回路群126において、148₁、149₁、150₁、148₂、149₂、150₂、148₃、149₃、150₃はサンプルホールド回路であり、151₁、152₁、153₁、151₂、152₂、153₂、151₃、152₃、153₃はバッファ回路をなすオペアンプである。

【0332】また、154₁、155₁、156₁、154₂、155₂、156₂、154₃、155₃、156₃は転送タイミングパルスLEにより導通、非導通が制御されるサンプリング用のスイッチ素子である。

【0333】また、157₁、158₁、159₁、157₂、158₂、159₂、157₃、158₃、159₃はホールド用のコンデンサである。

【0334】また、出力バッファ回路群127において、160₁、161₁、162₁、160₂、161₂、162₂、160₃、161₃、162₃はバッファ回路を構成するオペアンプである。

【0335】即ち、このデータドライバIC123₁は分割赤色アナログ映像信号RA1、RA3、RA5、分割緑色アナログ映像信号GA1、GA3、GA5及び分割青色アナログ映像信号BA1、BA3、BA5について、データドライバIC85₁と同様に動作するように

構成されたものである。

【033-6】また、図19において、163はカラーアナログ映像信号を分割して分割赤色アナログ映像信号RA1～RA6、分割緑色アナログ映像信号GA1～GA6及び分割青色アナログ映像信号BA1～BA6を出力する分割カラーアナログ映像信号作成回路であり、この分割カラーアナログ映像信号作成回路163は図23に示すように構成されている。

【033-7】図23中、164は赤色アナログ映像信号RAを分割して分割赤色アナログ映像信号RA1～RA6を作成する分割赤色アナログ映像信号作成回路、165は緑色アナログ映像信号GAを分割して分割緑色アナログ映像信号GA1～GA6を作成する分割緑色アナログ映像信号作成回路、166は青色アナログ映像信号BAを分割して分割青色アナログ映像信号BA1～BA6を作成する分割青色アナログ映像信号作成回路である。

【033-8】ここに、分割赤色アナログ映像信号作成回路164、分割緑色アナログ映像信号作成回路165、分割青色アナログ映像信号作成回路166は、赤色アナログ映像信号RA、緑色アナログ映像信号GA、青色アナログ映像信号BAについて、それぞれ、図15に示すように構成される。

【033-9】したがって、分割カラーアナログ映像信号作成回路163の動作は、図24にタイムチャートを示すようになる。

【034-0】なお、図24Aは56.6KHzの水平同期信号Hsyncを示しており、この第3実施例においても、1水平走査期間TA=1.76μsとされている。

【034-1】また、図24Bは7.5MHz、1024画素の1水平ライン分の赤色アナログ映像信号RA、緑色アナログ映像信号GA及び青色アナログ映像信号BA、図24Cは分割赤色アナログ映像信号RA1、分割緑色アナログ映像信号GA1及び分割青色アナログ映像信号BA1を示している。

【034-2】また、図24Dは分割赤色アナログ映像信号RA3、分割緑色アナログ映像信号GA3及び分割青色アナログ映像信号BA3、図24Eは分割赤色アナログ映像信号RA5、分割緑色アナログ映像信号GA5及び分割青色アナログ映像信号BA5を示している。

【034-3】また、図24Fは分割赤色アナログ映像信号RA2、分割緑色アナログ映像信号GA2及び分割青色アナログ映像信号BA2、図24Gは分割赤色アナログ映像信号RA4、分割緑色アナログ映像信号GA4及び分割青色アナログ映像信号BA4を示している。

【034-4】また、図24Hは分割赤色アナログ映像信号RA6、分割緑色アナログ映像信号GA6及び分割青色アナログ映像信号BA6、図24Iは転送タイミングパルスLEを示している。

【034-5】なお、この図24においては、赤色アナログ映像信号RA、緑色アナログ映像信号GA、青色アナ

ログ映像信号BA、分割赤色アナログ映像信号RA1、RA3、RA5、分割緑色アナログ映像信号GA1、GA3、GA5及び分割青色アナログ映像信号BA1、BA3、BA5は、水平同期信号Hsyncに対する相対的位置を示しており、その全てについて、時間軸を一致させるものではない。

【034-6】ここに、データドライバIC1231は分割赤色アナログ映像信号RA1、RA3、RA5、分割緑色アナログ映像信号GA1、GA3、GA5及び分割青色アナログ映像信号BA1、BA3、BA5について、データドライバIC851と同様に動作するように構成されたものであることから、データドライバIC1231の動作は、図25に示すようになる。

【034-7】なお、図25Aは6.0MHzのシフトレジスタ用クロックパルスCLK、図25Bはシフトレジスタ用クロックパルスCLKの周期の3倍のパルス幅(Hレベル幅)を有するスタートパルスSIを示している。

【034-8】また、図25CはサンプリングパルスSP1、図25DはサンプリングパルスSP2、図25EはサンプリングパルスSP3、図25FはサンプリングパルスSP4、図25GはサンプリングパルスSP191、図25HはサンプリングパルスSP192を示している。

【034-9】また、図25Iは分割赤色アナログ映像信号RA1、分割緑色アナログ映像信号GA1及び分割青色アナログ映像信号BA1、図25Jは分割赤色アナログ映像信号RA3、分割緑色アナログ映像信号GA3及び分割青色アナログ映像信号BA3、図25Kは分割赤色アナログ映像信号RA5、分割緑色アナログ映像信号GA5及び分割青色アナログ映像信号BA5を示している。

【035-0】即ち、この第3実施例においては、赤色アナログ映像信号RA、緑色アナログ映像信号GA及び青色アナログ映像信号BAをそれぞれ6分割しているが、非表示期間の大幅な増加を招くことはなく、転送タイミングパルスLEの有効期間TLE(図24参照)を十分に長くすることができ、データドライバIC1231～1231においては、2段目のサンプルホールド回路におけるサンプリング期間を十分に確保することができる。

【035-1】したがって、この第3実施例によれば、両側駆動方式の直視型のカラー表示のアクティブマトリクス型液晶表示装置について、アナログ映像信号を6分割し、データ線の並列駆動を行う場合であっても、非表示期間を大幅に減らすことではなく、高精細な表示を行うことができる。

【035-2】なお、この第3実施例においては、図26に示すようなデータドライバICを使用することもできる。このデータドライバICは、図22に示すデータドライバICを改良するものである。

【0353】このデータドライバICにおいては、分割赤色アナログ映像信号RA1を伝送するものとして、分割赤色アナログ映像信号線167、168が設けられ、分割赤色アナログ映像信号線167は、スイッチ素子142₁、142₂、(図示せず)・・・に接続され、分割赤色アナログ映像信号線168は、スイッチ素子142₄、(図示せず)、142₁₀、(図示せず)・・・に接続されている。

【0354】また、分割緑色アナログ映像信号GA1を伝送するものとして、分割緑色アナログ映像信号線169、170が設けられ、分割緑色アナログ映像信号線169は、スイッチ素子143₁、143₂、(図示せず)・・・に接続され、分割緑色アナログ映像信号線170は、スイッチ素子143₄、(図示せず)、143₁₀、(図示せず)・・・に接続されている。

【0355】また、分割青色アナログ映像信号BA1を伝送するものとして、分割青色アナログ映像信号線171、172が設けられ、分割青色アナログ映像信号線171は、スイッチ素子144₁、144₂、(図示せず)・・・に接続され、分割青色アナログ映像信号線172は、スイッチ素子144₄、(図示せず)、144₁₀、(図示せず)・・・に接続されている。

【0356】また、分割赤色アナログ映像信号RA3を伝送するものとして、分割赤色アナログ映像信号線173、174が設けられ、分割赤色アナログ映像信号線173は、スイッチ素子142₁、142₂、(図示せず)・・・に接続され、分割赤色アナログ映像信号線174は、スイッチ素子142₆、(図示せず)、142₁₁、(図示せず)・・・に接続されている。

【0357】また、分割緑色アナログ映像信号GA3を伝送するものとして、分割緑色アナログ映像信号線175、176が設けられ、分割緑色アナログ映像信号線175は、スイッチ素子143₂、143₃、(図示せず)・・・に接続され、分割緑色アナログ映像信号線176は、スイッチ素子143₅、(図示せず)、143₁₁、(図示せず)・・・に接続されている。

【0358】また、分割青色アナログ映像信号BA3を伝送するものとして、分割青色アナログ映像信号線177、178が設けられ、分割青色アナログ映像信号線177は、スイッチ素子144₂、144₄、(図示せず)・・・に接続され、分割青色アナログ映像信号線178は、スイッチ素子144₆、(図示せず)、144₁₁、(図示せず)・・・に接続されている。

【0359】また、分割赤色アナログ映像信号RA5を伝送するものとして、分割赤色アナログ映像信号線179、180が設けられ、分割赤色アナログ映像信号線179は、スイッチ素子142₃、142₅、(図示せず)・・・に接続され、分割赤色アナログ映像信号線180は、スイッチ素子142₆、(図示せず)、142₁₂、(図示せず)・・・に接続されている。

【0360】また、分割緑色アナログ映像信号GA5を伝送するものとして、分割緑色アナログ映像信号線181、182が設けられ、分割緑色アナログ映像信号線181は、スイッチ素子143₃、143₅、(図示せず)・・・に接続され、分割緑色アナログ映像信号線182は、スイッチ素子143₆、(図示せず)、143₁₂、(図示せず)・・・に接続されている。

【0361】また、分割青色アナログ映像信号BA5を伝送するものとして、分割青色アナログ映像信号線183、184が設けられ、分割青色アナログ映像信号線183は、スイッチ素子144₃、144₅、(図示せず)・・・に接続され、分割青色アナログ映像信号線184は、スイッチ素子144₆、(図示せず)、144₁₂、(図示せず)・・・に接続されている。その他については、図22に示すデータドライバICと同様に構成されている。

【0362】このデータドライバICによれば、サンブルホールド回路139₁～139₄、(図示せず)、140₁～140₄、(図示せず)、141₁～141₄、(図示せず)の動作速度にパラツキがある場合であっても、アクティブマトリクス型液晶表示パネル119の画素電極に誤差の少ないデータ電圧を供給することができる。

【0363】したがって、データドライバICとして、この図26に示すデータドライバICを使用する場合には、図22に示すデータドライバICを使用する場合よりも高品質の画像表示を行うことができる。

【0364】なお、上述の実施例においては、本発明を液晶表示装置に適用した場合について説明したが、その他、本発明は、2個の基板間に印加する電圧によって特性の波長の光だけを通過させる容量性材料を封止してなる容量性表示装置にも適用することができる。

【0365】また、上述の実施例においては、本発明を両側駆動方式のアクティブマトリクス型液晶表示装置に適用した場合について説明したが、本発明は、片側駆動方式のアクティブマトリクス型液晶表示装置にも適用することができる。

【発明の効果】本発明中、第1の発明によれば、アナログ映像信号を分割してなる分割アナログ映像信号がアクティブマトリクス型容量性表示パネルに供給されるが、分割アナログ映像信号の表示期間は、分割前のアナログ映像信号の表示期間よりも、最大でも、分割アナログ映像信号の周期の(n-1)/nだけ長くなるにすぎないことから、例えば、両側駆動方式の直視型あるいは投写型の単色表示のアクティブマトリクス型液晶表示装置又は両側駆動方式の投写型のカラー表示のアクティブマトリクス型液晶表示装置について、アナログ映像信号を分割し、データ線の並列駆動を行う場合であっても、非表示期間を大幅に減らすことはなく、高精細な表示を行うことができる。

【0367】また、第2の発明によれば、カラーアナログ映像信号を分割してなる分割カラーナログ映像信号がアクティブマトリクス型容量性表示パネルに供給されるが、分割カラーナログ映像信号の表示期間は、分割前のカラーANAログ映像信号の表示期間よりも、最大でも、分割ANAログ映像信号の周期の $(n-1)/n$ だけ長くなるにすぎないことから、例えば、両側駆動方式の直視型のカラー表示のアクティブマトリクス型液晶表示装置について、ANAログ映像信号を分割し、データ線の並列駆動を行う場合であっても、非表示期間を大幅に減らすことではなく、高精細な表示を行うことができる。

【0368】また、第3の発明によれば、ANAログ映像信号を分割してなる分割ANAログ映像信号がアクティブマトリクス型容量性表示パネルに供給されるが、分割ANAログ映像信号の表示期間は、分割前のANAログ映像信号の表示期間よりも、最大でも、分割ANAログ映像信号の周期の $(n-1)/n$ だけ長くなるにすぎないことから、例えば、片側駆動方式の直視型あるいは投写型の単色表示のアクティブマトリクス型液晶表示装置又は片側駆動方式の投写型のカラー表示のアクティブマトリクス型液晶表示装置について、ANAログ映像信号を分割し、データ線の並列駆動を行う場合であっても、非表示期間を大幅に減らすことではなく、高精細な表示を行うことができる。

【0369】また、第4の発明によれば、ANAログ映像信号を分割してなる分割ANAログ映像信号がアクティブマトリクス型容量性表示パネルに供給されるが、分割ANAログ映像信号の表示期間は、分割前のANAログ映像信号の表示期間よりも、最大でも、分割ANAログ映像信号の周期の $(n-1)/n$ だけ長くなるにすぎないことから、例えば、片側駆動方式の直視型のカラー表示のアクティブマトリクス型液晶表示装置について、ANAログ映像信号を分割し、データ線の並列駆動を行う場合であっても、非表示期間を大幅に減らすことではなく、高精細な表示を行うことができる。

【図面の簡単な説明】

- 【図1】本発明中、第1の発明の原理説明図である。
- 【図2】本発明中、第2の発明の原理説明図である。
- 【図3】本発明中、第3の発明の原理説明図である。
- 【図4】本発明中、第4の発明の原理説明図である。
- 【図5】本発明の第1実施例の要部を示す図である。
- 【図6】本発明の第1実施例が設けているデータドライバICの回路構成を示す図である。
- 【図7】本発明の第1実施例が設けているデータドライバICの回路構成を具体的に示す図である。
- 【図8】本発明の第1実施例が設けている分割赤色ANAログ映像信号作成回路の回路構成を示す図である。
- 【図9】本発明の第1実施例が設けている分割赤色ANAログ映像信号作成回路の動作を示すタイムチャートである。

【図10】本発明の第1実施例が設けているデータドライバICの動作を示すタイムチャートである。

【図11】本発明の第1実施例に使用することができるデータドライバICの他の例を示す回路図である。

【図12】本発明の第2実施例の要部を示す図である。

【図13】本発明の第2実施例が設けているデータドライバICの回路構成を示す図である。

【図14】本発明の第2実施例が設けているデータドライバICの回路構成を具体的に示す図である。

【図15】本発明の第2実施例が設けている分割赤色ANAログ映像信号作成回路の回路構成を示す図である。

【図16】本発明の第2実施例が設けている分割赤色ANAログ映像信号作成回路の動作を示すタイムチャートである。

【図17】本発明の第2実施例が設けているデータドライバICの動作を示すタイムチャートである。

【図18】本発明の第2実施例に使用することができるデータドライバICの他の例を示す回路図である。

【図19】本発明の第3実施例の要部を示す図である。

【図20】本発明の第3実施例におけるデータ線の配列を示す図である。

【図21】本発明の第3実施例が設けているデータドライバICの回路構成を示す図である。

【図22】本発明の第3実施例が設けているデータドライバICの回路構成を具体的に示す図である。

【図23】本発明の第3実施例が設けている分割カラーANAログ映像信号作成回路を示す図である。

【図24】本発明の第3実施例が設けている分割カラーANAログ映像信号作成回路の動作を示す図である。

【図25】本発明の第3実施例が設けているデータドライバICの動作を示す図である。

【図26】本発明の第3実施例に使用することができるデータドライバICの他の例を示す図である。

【図27】従来の投写型のカラー表示のアクティブマトリクス型液晶表示装置の一例の一部分を示す図である。

【図28】図27に示すアクティブマトリクス型液晶表示パネルを示す図である。

【図29】図27に示すアクティブマトリクス型液晶表示パネルを構成するTFT基板を示す平面図である。

【図30】図27に示すアクティブマトリクス型液晶表示装置が設けているデータドライバICの回路構成を示す図である。

【図31】図27に示すアクティブマトリクス型液晶表示装置が設けているデータドライバICの回路構成を具体的に示す図である。

【図32】図27に示すアクティブマトリクス型液晶表示装置が設けている分割赤色ANAログ映像信号作成回路を示す図である。

【図33】図27に示すアクティブマトリクス型液晶表示装置が設けている分割赤色ANAログ映像信号作成回路

81

の動作を示す図である。

【図34】図27に示すアクティブマトリクス型液晶表示装置が設けているデータドライバICの動作を示す図である。

【符号の説明】

(図1) 31₁、31₂...31_n データ線

A アナログ映像信号

A1～A4、A2n-1、A2n 分割アナログ映像信号

号 (図2) 36₁、36₂...36_n データ線

37₁、37₂...37_n データ線

38₁、38₂...38_n データ線

RA 赤色アナログ映像信号

GA 緑色アナログ映像信号

BA 青色アナログ映像信号

RA1～RA4、RA2n-1、RA2n 分割赤色アナログ映像信号

10

82

GA1～GA4、GA2n-1、GA2n 分割緑色アナログ映像信号

BA1～BA4、BA2n-1、BA2n 分割青色アナログ映像信号

(図3) 45₁、45₂...45_n データ線

A アナログ映像信号

A1、A2、An 分割アナログ映像信号

(図4) 49₁、49₂...49_n データ線

50₁、50₂...50_n データ線

51₁、51₂...51_n データ線

RA 赤色アナログ映像信号

GA 緑色アナログ映像信号

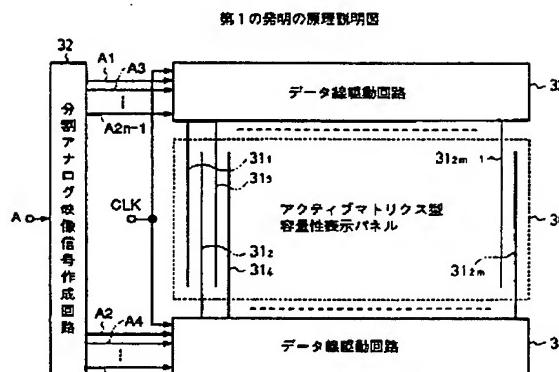
BA 青色アナログ映像信号

RA1、RA2、RAn 分割赤色アナログ映像信号

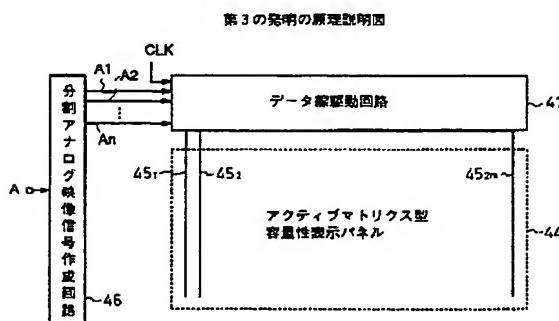
GA1、GA2、GAN 分割緑色アナログ映像信号

BA1、BA2、BAN 分割青色アナログ映像信号

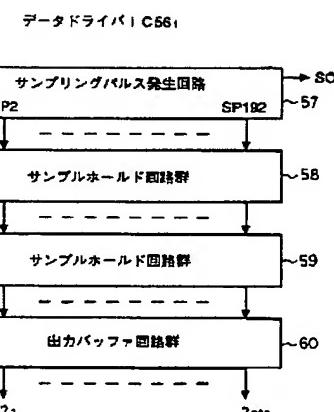
【図1】



【図3】

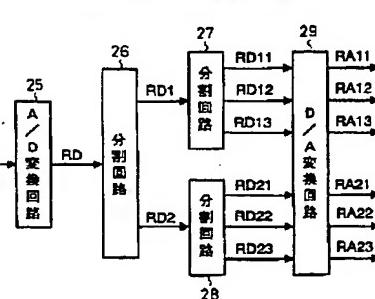


【図6】

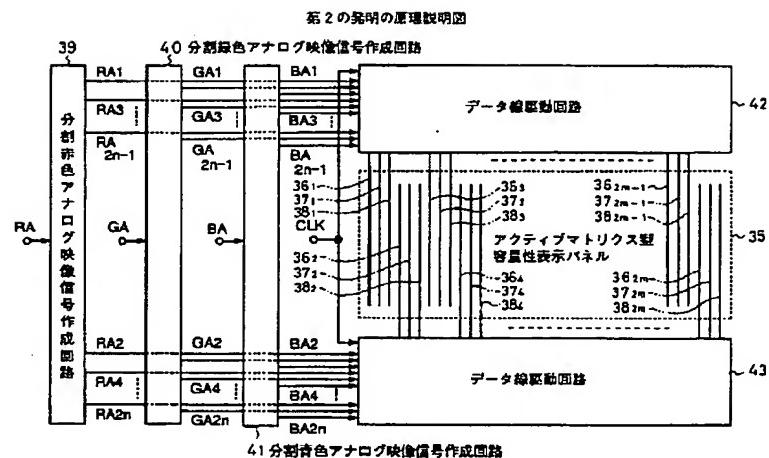


【図32】

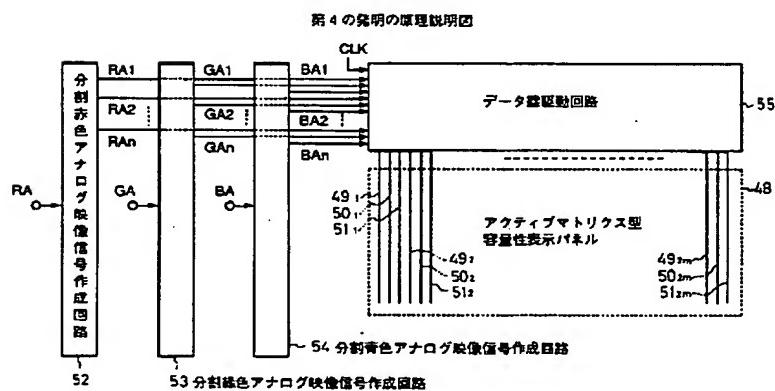
分割赤色アナログ映像信号作成回路 2.4



【図2】

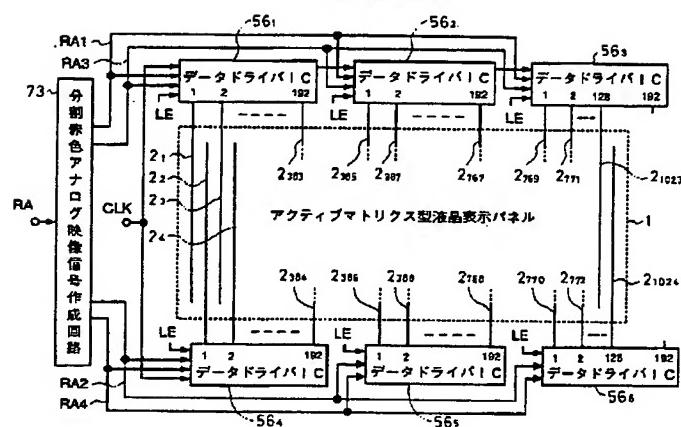


【図4】



【図5】

図1実施例の要部

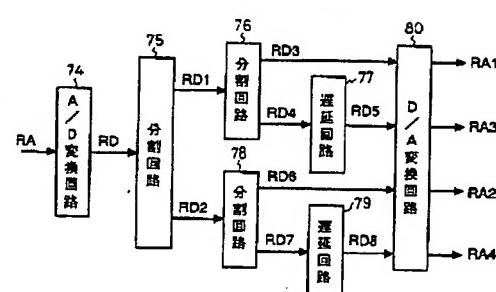
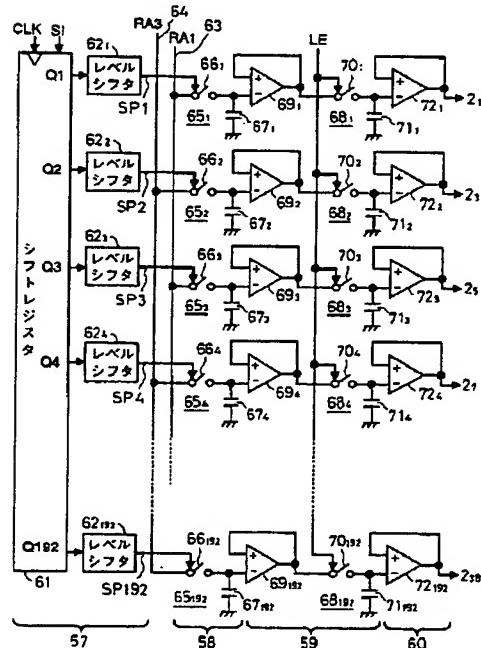


【図7】

【図8】

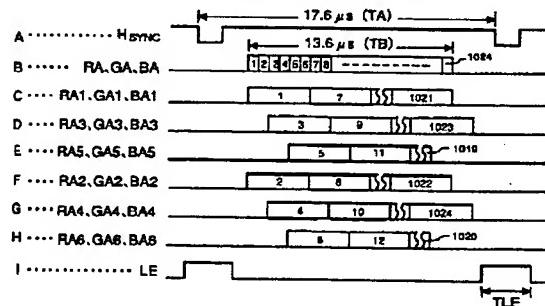
データドライバIC 561

分割赤色アナログ映像信号作成回路 7-3

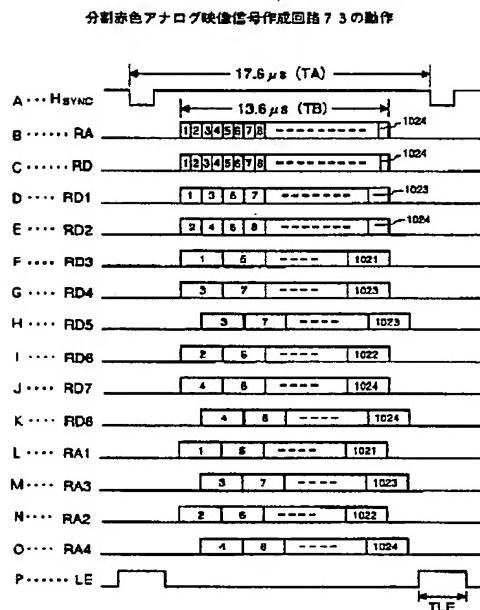


【図24】

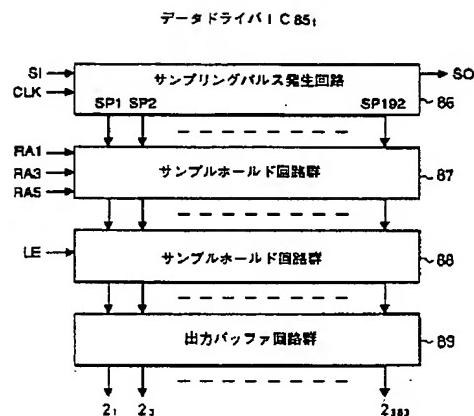
分割カラーANAログ映像信号作成回路 16-3 の動作



【図9】

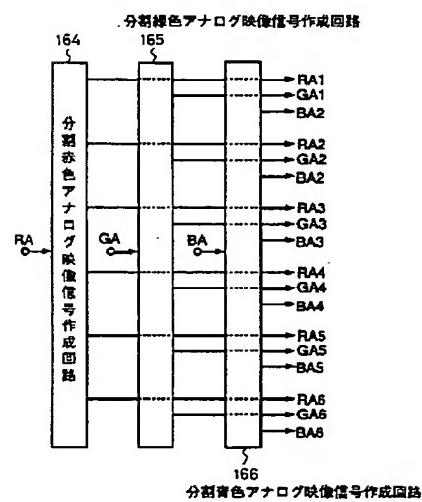


【図13】

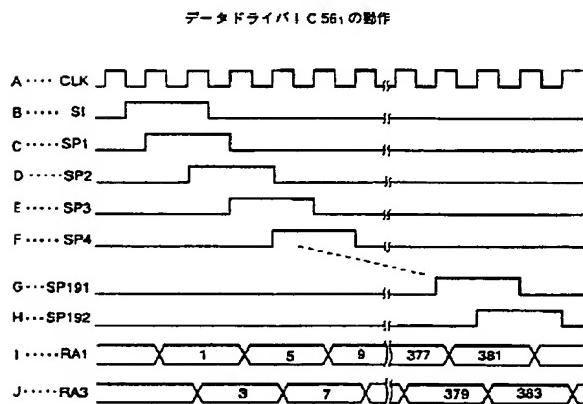


【図23】

分割カラーANAログ映像信号作成回路1-6-3

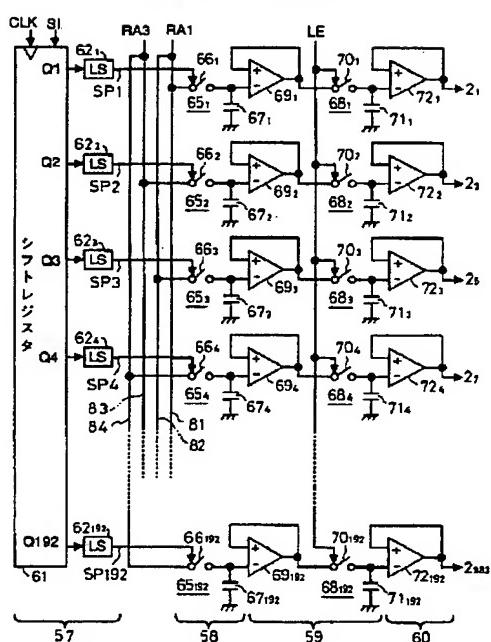


【図10】



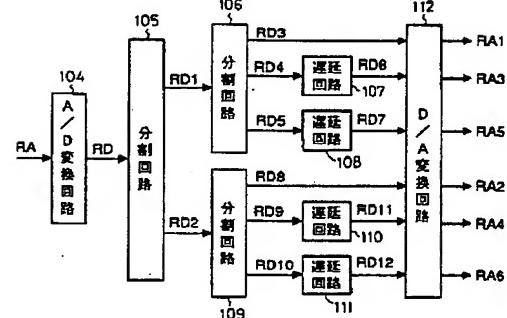
【図11】

データドライバICの他の例



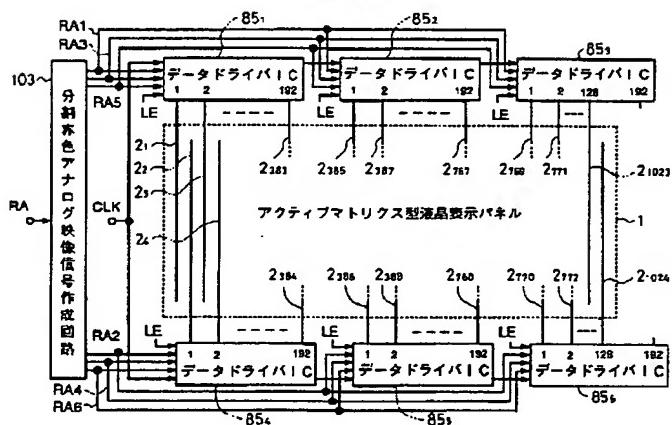
【図15】

分割赤色アナログ映像信号作成回路103

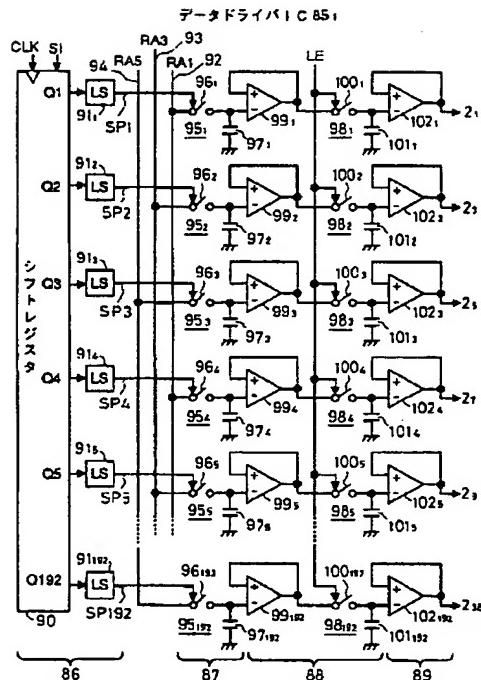


【図12】

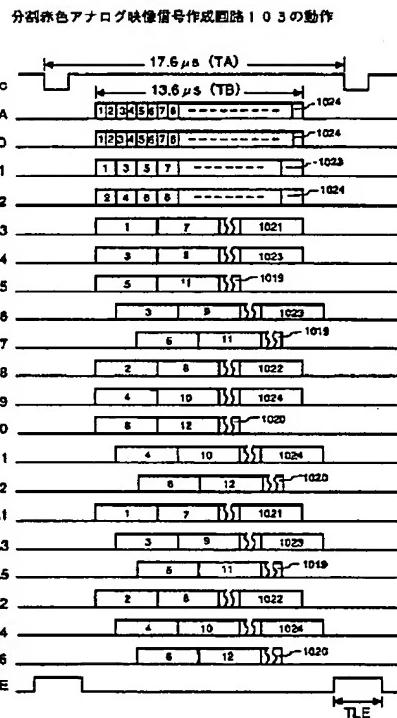
第2実施例の要部



[图 1-4]

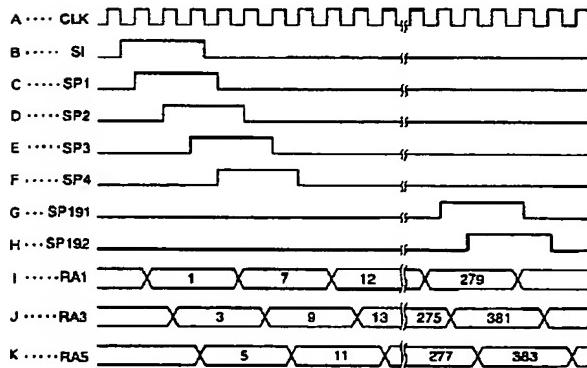


〔図16〕



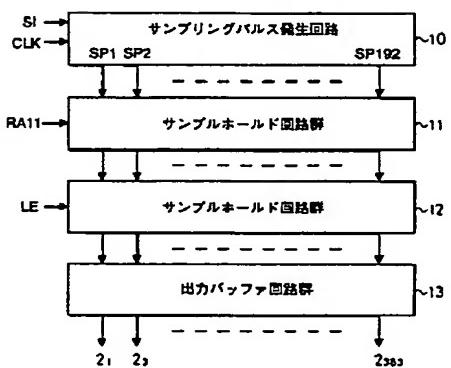
[図17]

データドライバIC851の動作

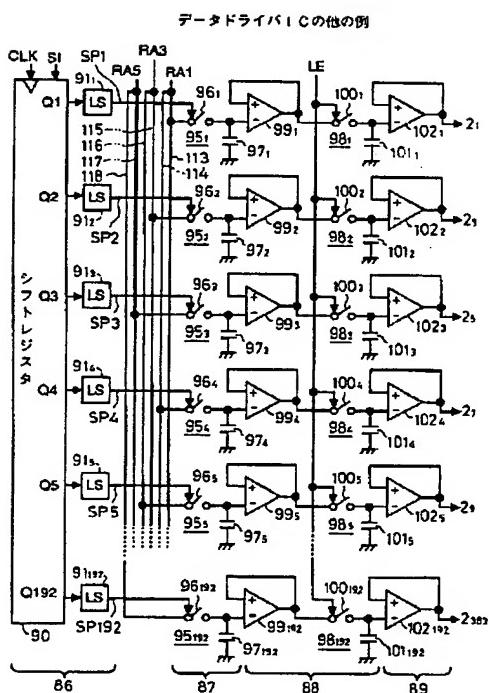


【 30】

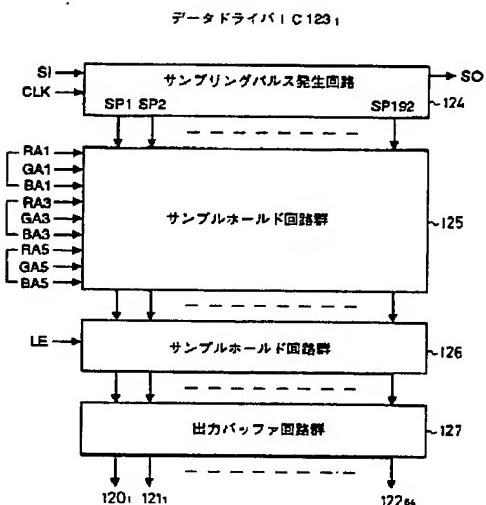
データドライブ | C91



【図18】

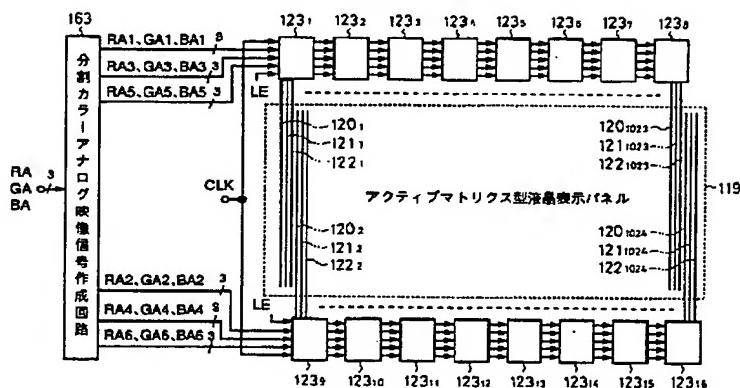


[図21]



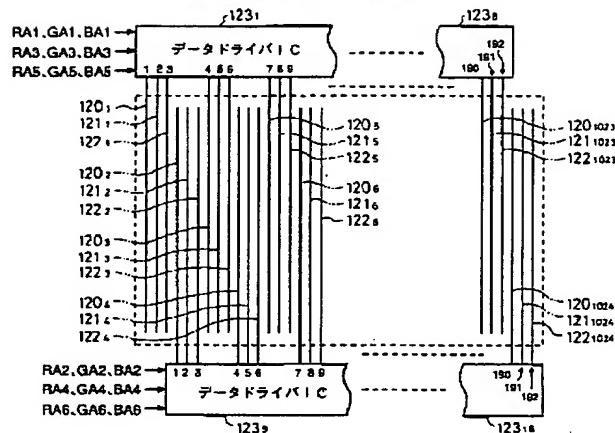
[図19]

第3実施例の要部

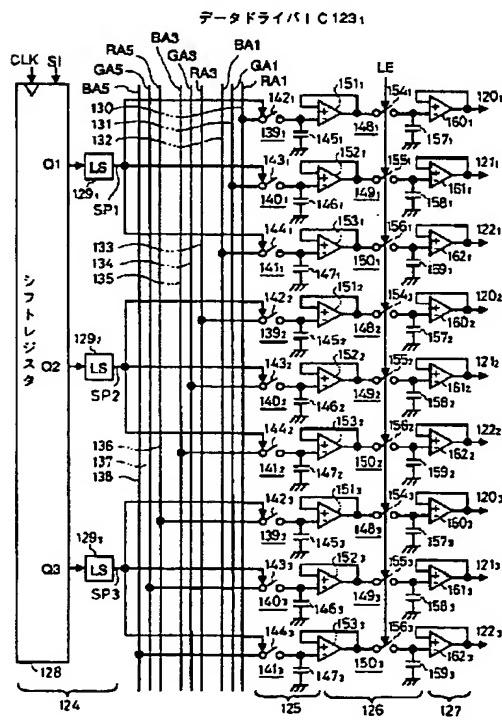


【図20】

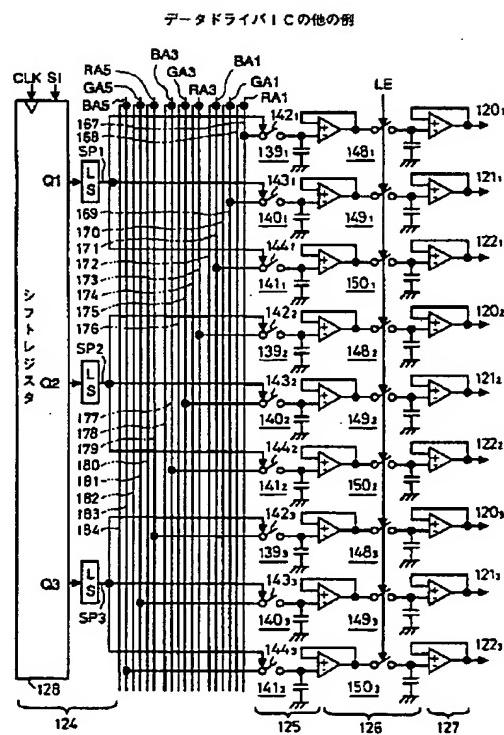
第3章実例におけるデータ線の配列



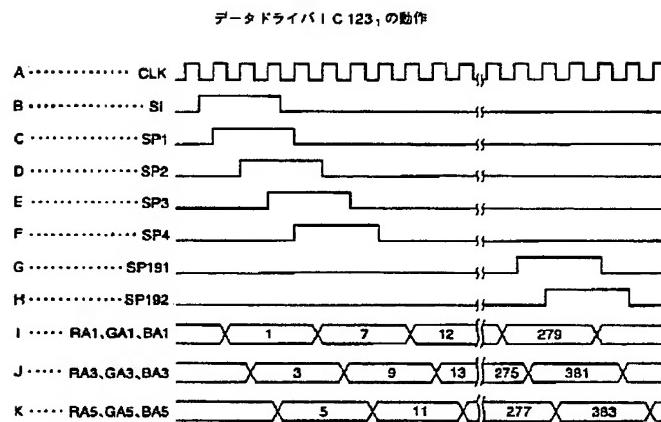
【図22】



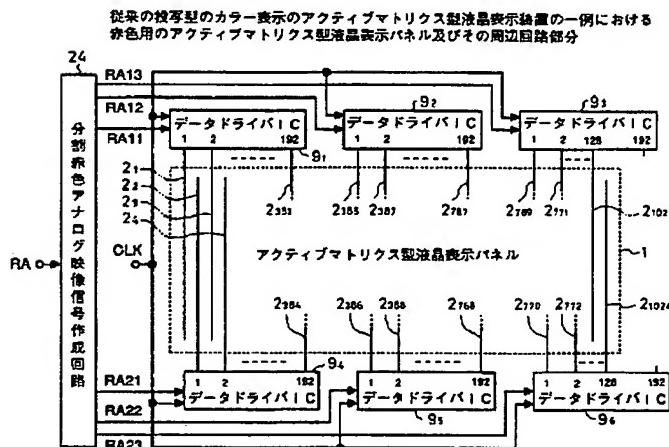
【図26】



【図25】

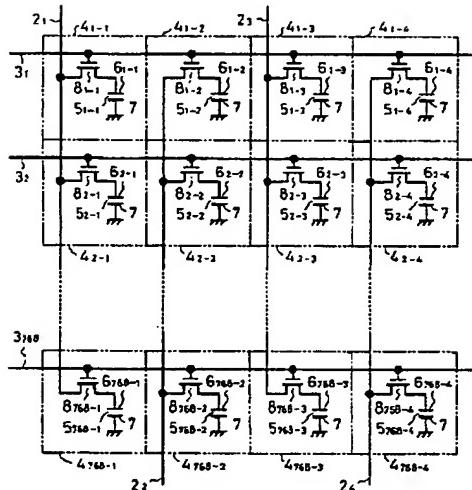


【図27】



【図28】

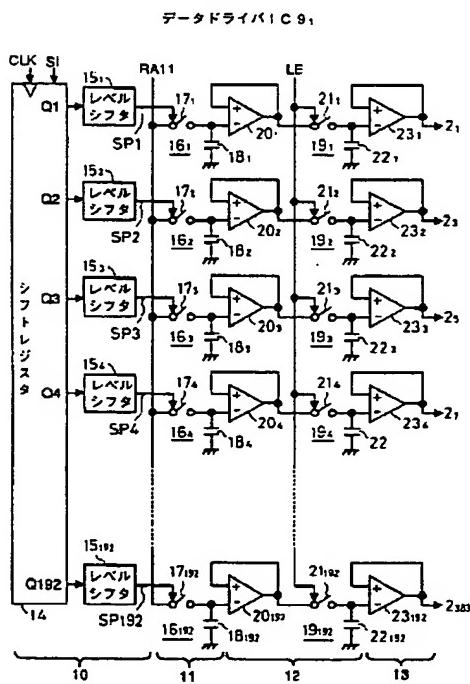
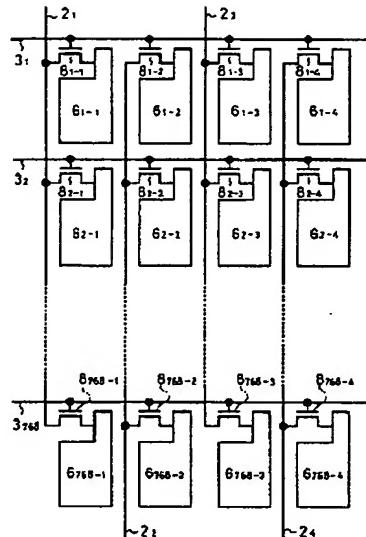
アクティブマトリクス型液晶表示パネル1



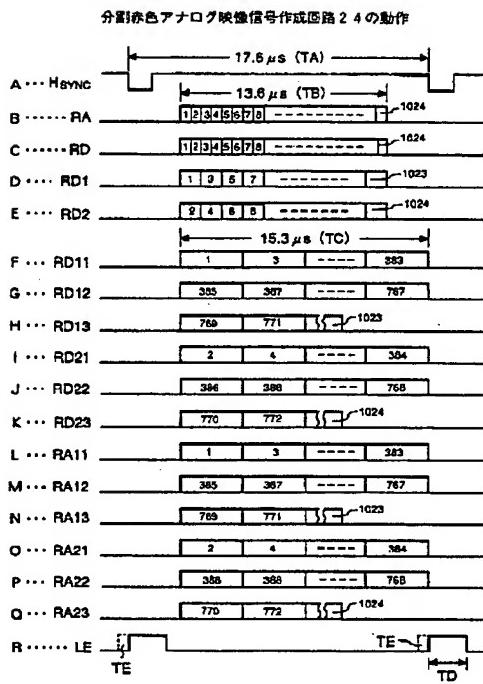
【図31】

【図29】

アクティブマトリクス型液晶表示パネル1を構成するTFT基板



【図33】



【図34】

